哈尔滨工业大学（威海）
材料科学与工程学院

微电子制造科学与工程

Chapter 2 /第二章
Semiconductor Substrates /半导体衬底

王华涛

办公室：石墨楼408
Email：wanghuatao@hit.edu.cn
Tel：0631-5297952

重为轻根，静为躁君。
轻则失根，躁则失君。
——老子，道德经

更新日期
2017年3月08日

第二章 半导体衬底

第一节　制备晶体管的半导体材料的发展

第二节　单晶制备技术

第三节　晶圆制作和重要参数

第一节　制备晶体管的半导体材料的发展

1. P型、N型半导体的发现
2. 接触型晶体管
3. 结型晶体管
4. 场效应晶体管
5. 锗晶体管VS硅晶体管
6. SiC半导体材料的优势

P/N型Si半导体的发现

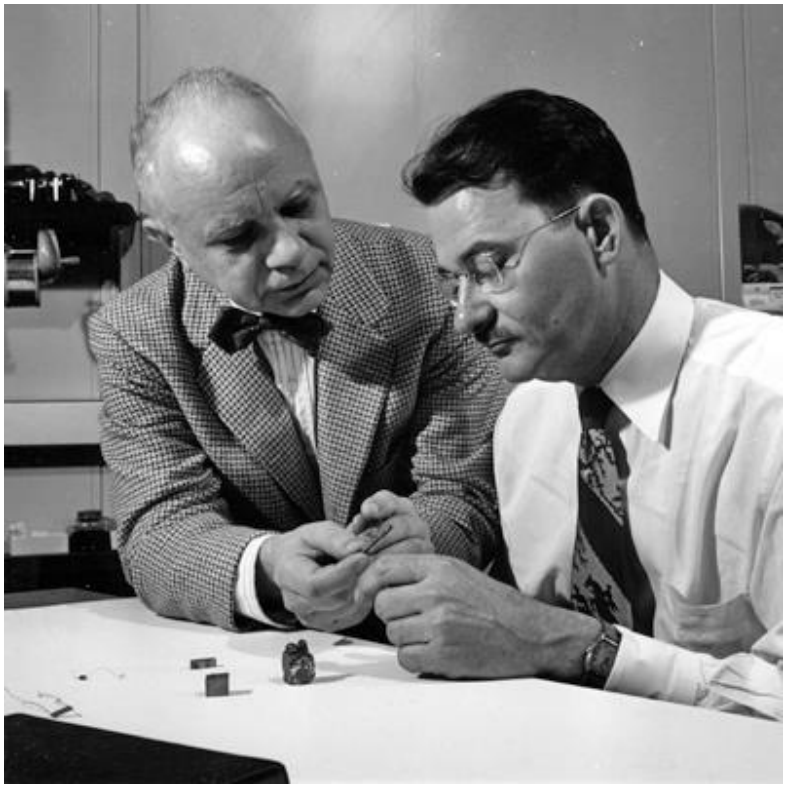
Ge→Si→GaAs。。。。→SiC、GaN→？？

下一代半导体？

半导体的研究是当今材料领域的一个重点

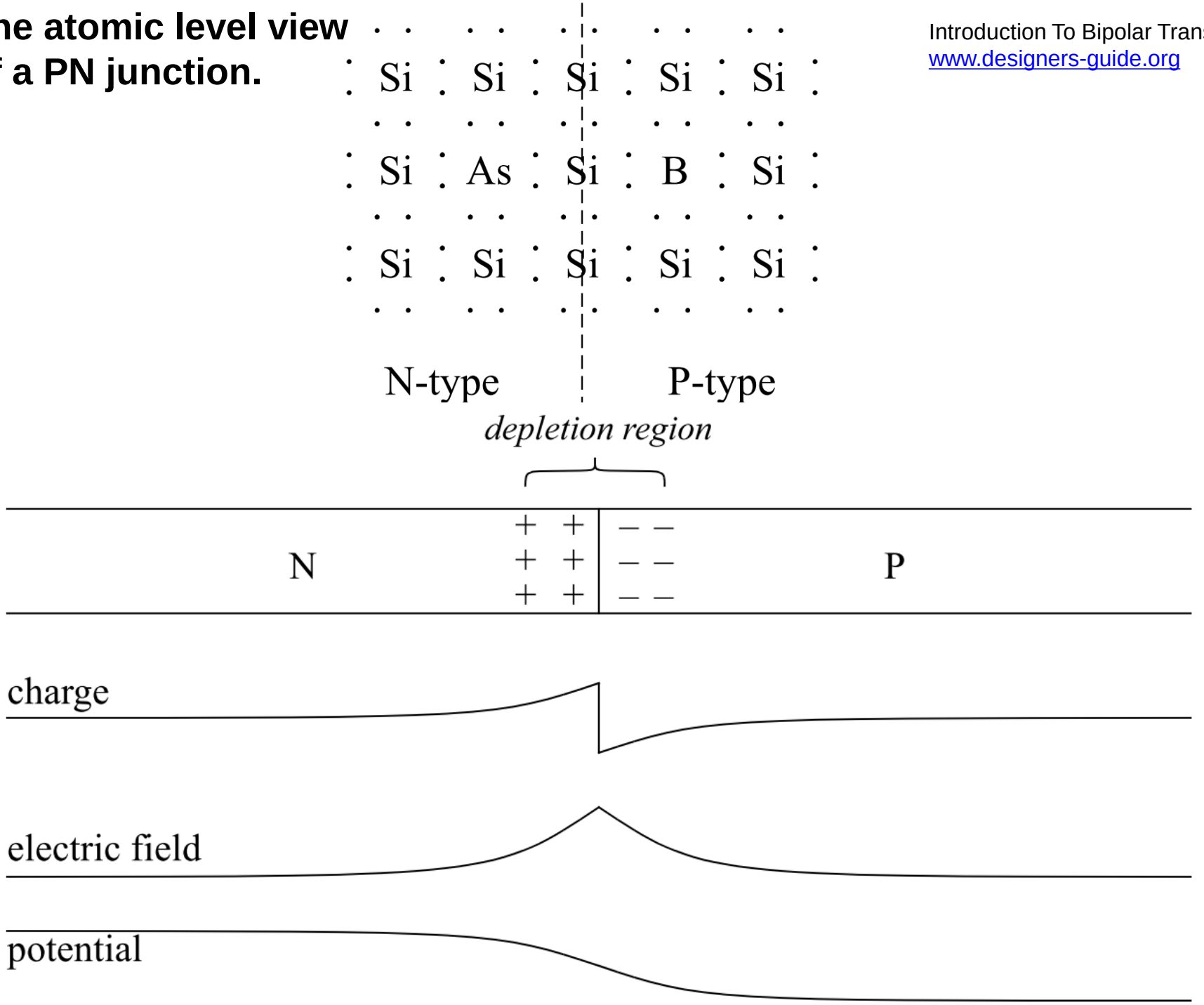
- 材料的性能
- 材料的制备技术
- 单晶Si的制备技术
- P型、N型Si半导体的发现

他俩创造了P区、N区两个概念！



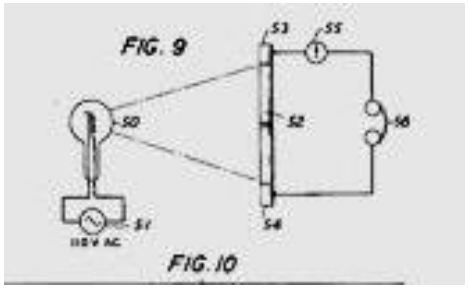
Russell Ohl（奥尔，蝴蝶结领结）和Jack Scaff（斯卡夫，黑头发）在贝尔实验室

The atomic level view of a PN junction.



P/N型Si半导体的发现

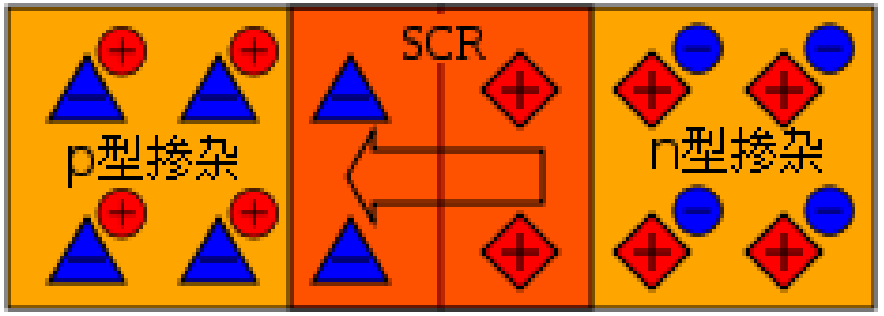
- 1940年，贝尔实验室
- Ohl面前有张台子，台子上放着一些简单的电子仪器。一只伏特表，一根系着导线的墨黑色的硅棒，约有一英寸长。这时，Ohl拿起一只手电筒，打开开关将一束光线直接投射到那跟脏兮兮的硅棒上。突然，伏特表的指针偏转到约半伏的刻度线上。布拉顿见状惊呆了。。。。。。



(画图)

请回答，你怎么解释该现象？

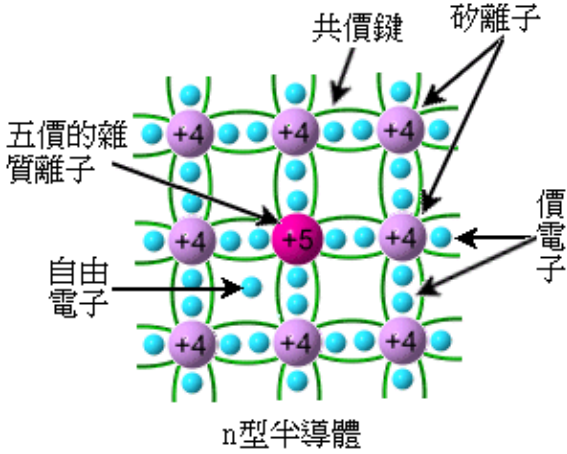
详细解析pn结的单向导通性

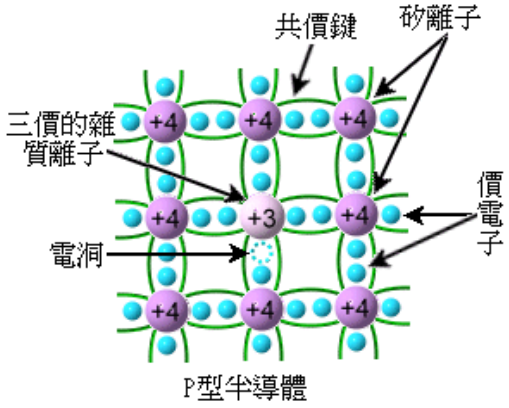


请回答，当你对P/N型半导体一无所知的情况下，如何展开研究？

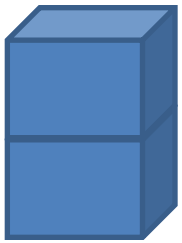
。。。。。。Ohl推测，硅晶体检测器的这种飘忽不定的特性是其中的杂质引起的，他决定对Si进行提纯。（精神分裂）

1940-p-n结的发现





1. Ohl和同事Jack Scaff发现硅板上的一个接缝把硅板分成了两个不同的部分，每一部分分别含有不同的杂质。
2. 一种杂质是P元素，它导致所测样品结构中的**电子含量稍微过量**；另一种是B元素，它导致**电子含量略微不足**（后来被称为“空穴”）。他们把这两个区域称为n型（负极）和p型（正极）
3. 光照射到结上，激发出电子，从n极流向p极，形成电子流。Ohl发现光电效应，给今天的太阳能板提供了能源。
4. 后来，Shockley定义了pn结。



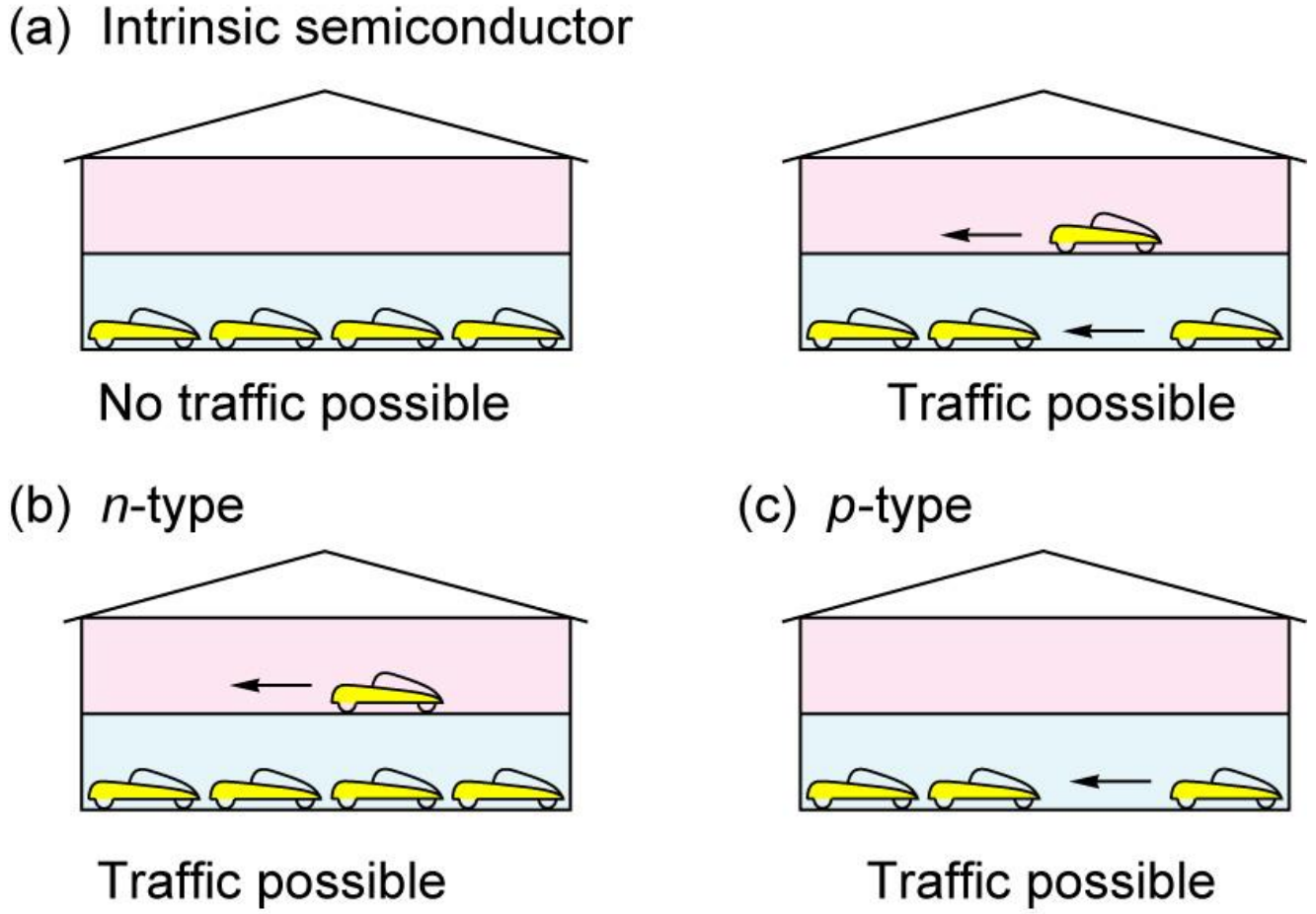
观察到了分界线，推测： Si锭冷却杂质中，轻原子上浮形成P区，重原子下沉性成N区 _尚不知是何元素？

利用嗅觉检测出超过光学分析极限的磷的存在
Ohl钻硅锭，闻到了电气石乙炔的气味，Scaff认为非电气石，而是含有磷化氢

1950 Shockley parking garage model 停车场模型

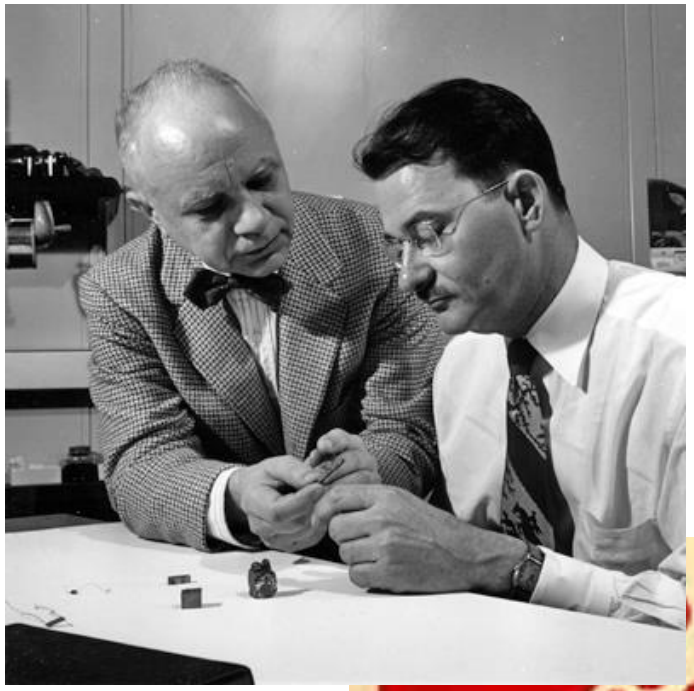
Traffic 象征载流子的运动

生活给我们灵感

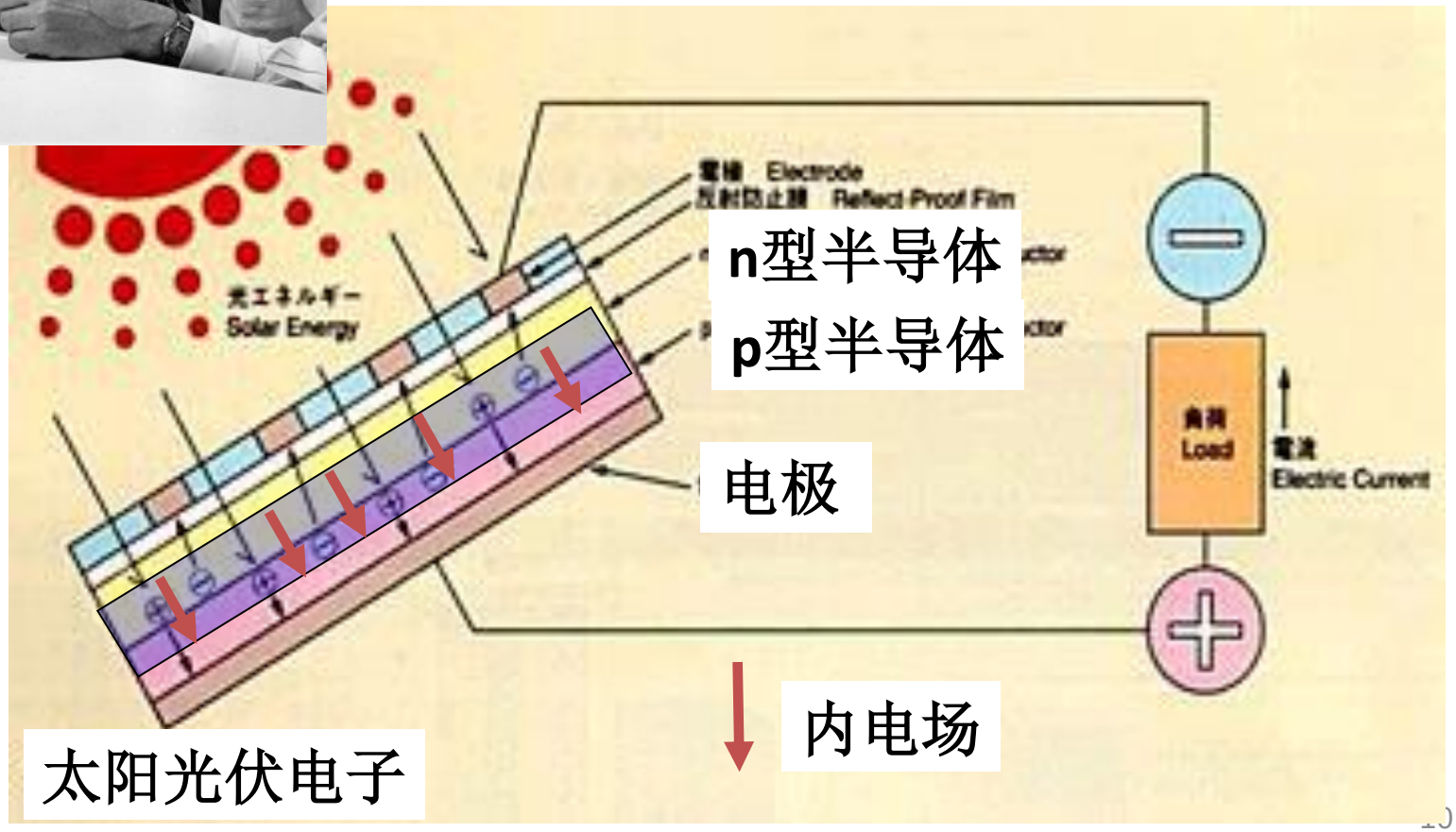


Shockley's automobile storage garage model in which electrons in the valence and conduction band are symbolized by cars in a lower and upper level of the garage, respectively.

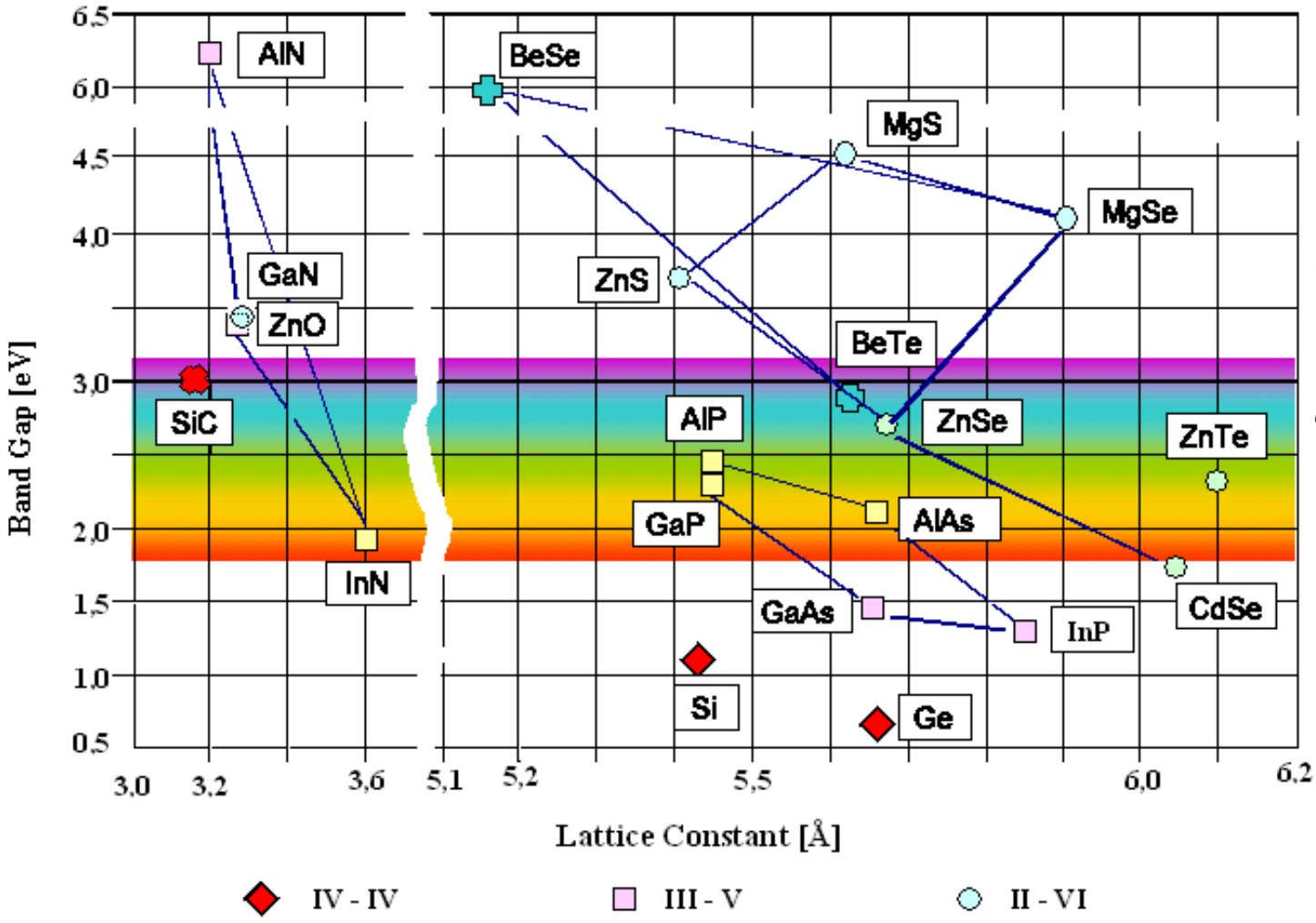
http://homepages.rpi.edu/~schubert/Educational-resources/1950%20Shockley%20parking%20garage%20model.jpg



Russell Ohl（奥尔，蝴蝶结领结）和Jack Scaff（斯卡夫，黑头发）在贝尔实验室



商业晶体管，为什么选择Si半导体，而不选择其他，如Ge、GaAs、SiC等？



问题

1. 现在晶体管材料
2. 晶体管原理
3. 可用哪些材料

   半导体
4. 半导体很多

   为什么选Si

1. 材料制备__一元半导体、二元半导体，何者更容易被制成单晶？
2. 材料性质__工作温度、迁移率等，哪些材料能让晶体管的性能更优越？

http://www.aps.org/publications/apsnews/200011/history.cfm

商业晶体管，为什么选择Si半导体，而不选择其他，如Ge、GaAs、SiC等？

点接触型晶体管

Bell Labs/Alcatel-Lucent朗讯

1. 初期，John Bardeen, Walter Brattain and William Shockley 研究Si的点接触型晶体管，取得进步，但放大效果不显著（首先在单晶Si中发现P、N型半导体的）。

2. 后来尝试其他材料，用Ge取代Si，制得器件的放大倍数达330倍！右图

现在的晶体管都用Si来制备，当时为什么用Si没有取得良好的性能呢？

材料制备技术的限制！

当时还制备不出高纯Si单晶，Ge单晶的制备技术相对成熟。

小知识：门捷列夫周期表，空缺之一，Ge后被德国C.Winkler发现，祖国名名之

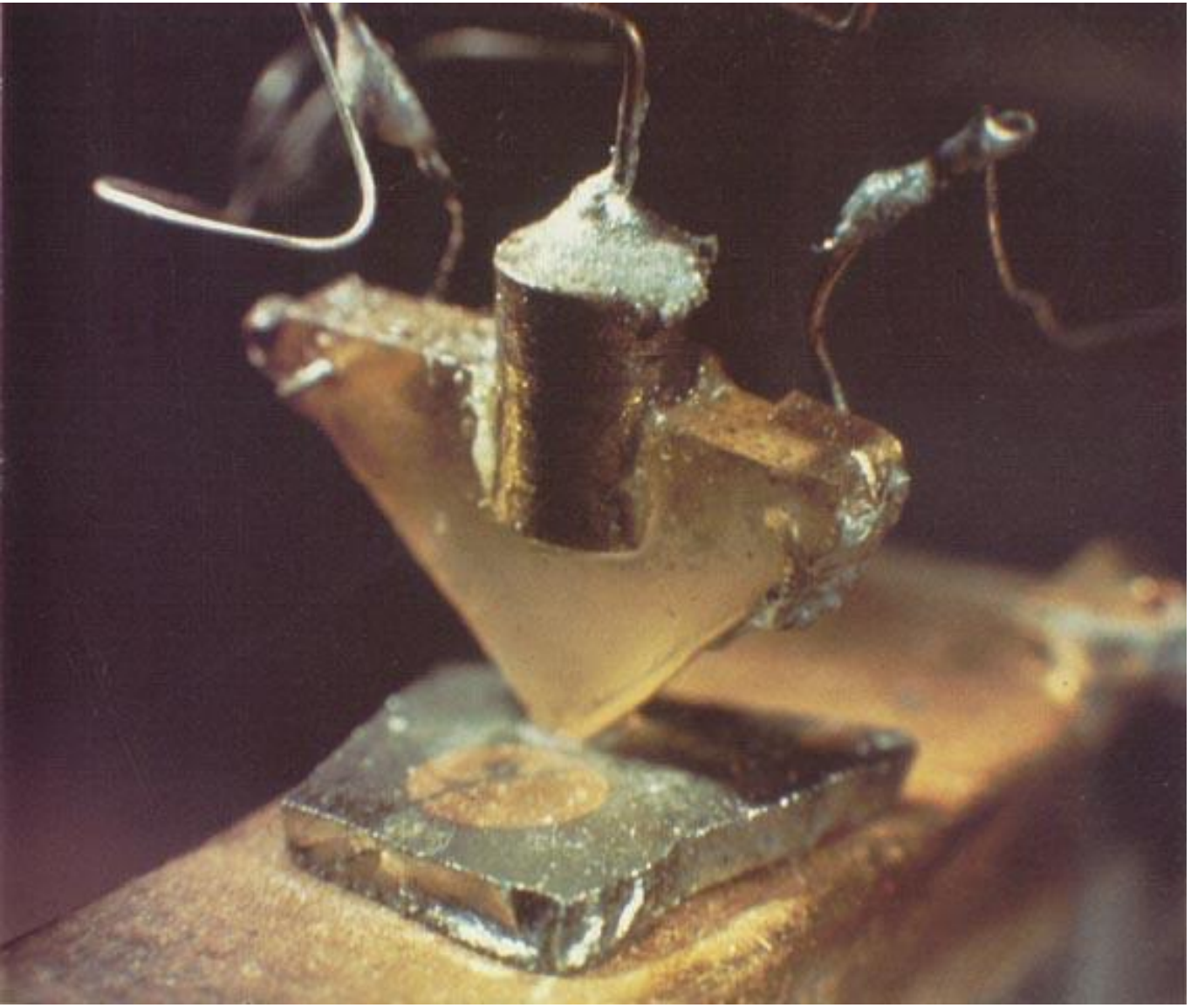
上图，所用半导体材料？

The first transistor was a slab 片 of germanium 锗 来源？ placed on a metal electrode, with two point contacts pressed onto its surface by a spring 弹簧 (crooked 弯曲的 wire above triangle三角). The two leads run down along the sides of the triangle, which allows the contacts to be positioned very close together at the tip.

http://www.aps.org/publications/apsnews/200011/history.cfm

The Birth of Modern Electronics
The Point-Contact Transistor
BELL LABS

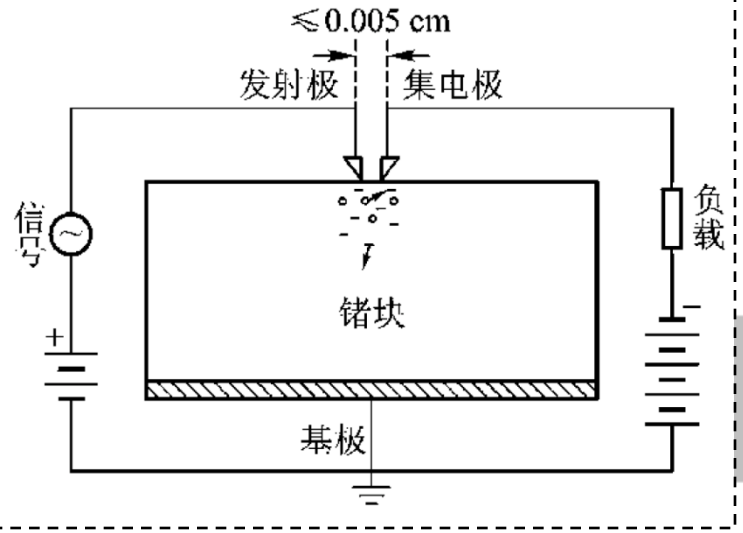
1947年， 第一个点接触型晶体管
Ge晶体管

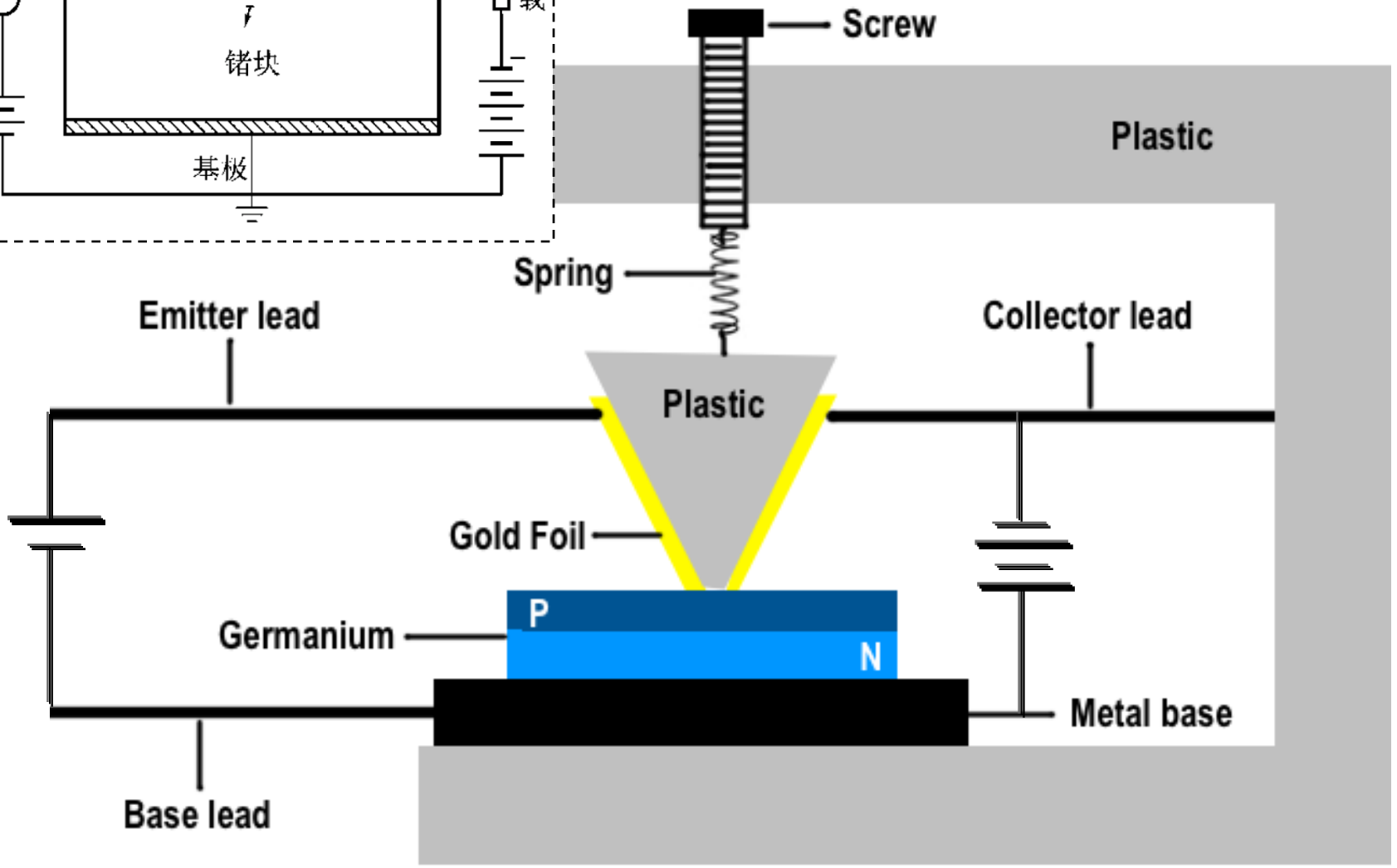


The triangular wedge is made of plastic and is covered with gold foil slit in half at the wedge's tip. One side of the wedge serves as the emitter, the other as the collector. The irregular-shaped material directly under the wedge is germanium, which acts as the base. Gains in current of up to a hundredfold may be attained with this device. (A re-creation.) Actual size: the wedge is 1.25 inches to a side.

http://smithsonianchips.si.edu/augarten/i2.htm

The structure of the first point-contact transistor





卢森锴:晶体管发明 60 年，2008

http://www.theregister.co.uk/2012/12/14/feature_the_transistor_is_65_years_old/print.html

材料制备技术的限制

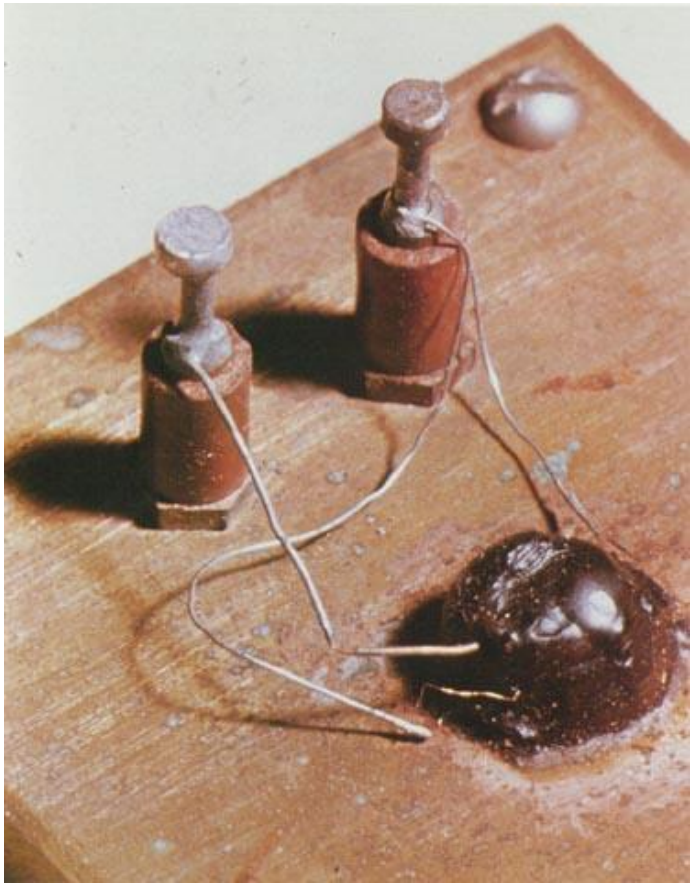
1. 点接触型半导体存在工艺复杂、使用范围窄、使用不方便等缺陷,为此Shockley于1948年又构思了一种新型晶体管(结型晶体管), 在威廉·肖克利的pn结理论被验证之后，制造一个结型晶体管仍然面临严峻的挑战，主要的问题是缺乏足够纯净、均匀的半导体材料。
2. Morgan Sparks通过在熔融锗晶体生长过程中加入微小颗粒杂质，制作pn结。 1950年4月，他和蒂尔开始在熔体中加入两个连续的小球，第一个小球为p型杂质和第二个为n型杂质，制成了内层很薄的NPN结构。 一年后，这种“生长出的结型晶体管”超越性能最好的点接触晶体管。

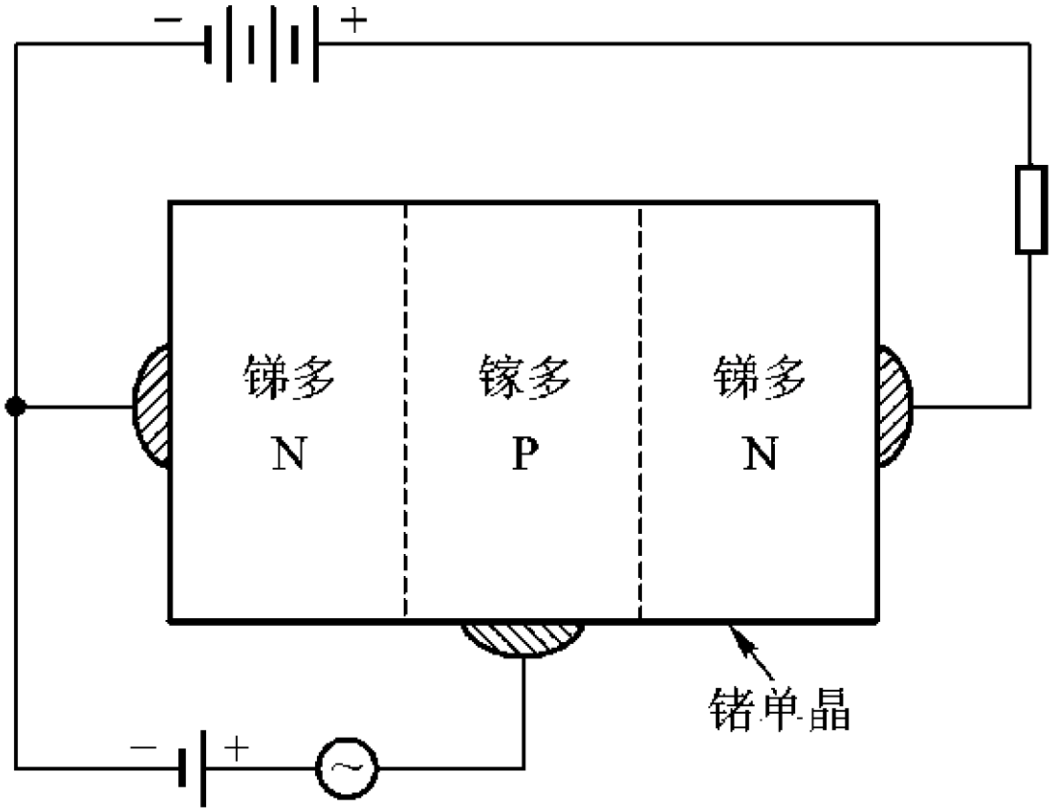
http://www.computerhistory.org/semiconductor/timeline/1951-First.html

The first junction transistor made by Sparks in 1950

1950年，由Sparks制备的第一个结型晶体管

现在的晶体管用单晶Si来制备，Ge晶体管又如何发展到Si晶体管呢？





The junction transistor is a mudlike substance in the center of the board. The wire on the left is attached to the emitter and is grounded; the wires on the right are attached to the base and the collector. (A re-creation.) Actual size of the transistor: 0.50 inches tall.

http://smithsonianchips.si.edu/augarten/i4.htm

卢森锴:晶体管发明 60 年，2008

1954——硅晶体管提供优越的工作特性

- Morris Tanenbaum在贝尔实验室制造出第一个硅晶体管，但是第一个把它应用于商业设备制做和销售的是德州仪器的工程师们。

德州仪器公司做的广告
强调硅晶体管体积小

5 B	6 C	7 N	8 O	9 F
13 Al	14 Si	15 P	16 S	17 Cl
31 Ga	32 Ge	33 As	34 Se	35 Br
49 In	50 Sn	51 Sb	52 Te	53 I

Si, T_m 1414°C
熔点高，化学性质相近
-55～125℃

Ge, T_m 938°C
漏电流大
工作温度低
0～79℃

芯片结温有多高？
使用Ge晶体管的后果？

如果是你，你会选择什么材料？依据？

1954——硅晶体管提供优越的工作特性

在晶体管存在的前六年，他们一般都是由锗制造出来的。虽然此元素是比硅更容易得到，并且它支持允许更高频率的操作，但是用它制成的固体器件，在“关”状态下漏电流leakage currents 有很大缺陷——那简直是对计算机逻辑的诅咒。它们也仅限于0至70°C的操作，这也限制了它们在特殊应用程序下的使用。在杜邦公司开始提供高纯度的半导体级硅材料后，硅器件在-55到125°C条件下使用成为可能。

TI(Texas Instruments)采用高纯度杜邦硅，于1954年成功的制造出第?个硅晶体管。

在1954年1月，贝尔实验室的化学家*Morris* Tanenbaum使用摩根火花和戈登·蒂尔的成长交界技术，制造了第一个硅晶体管。但是实验室没有在追求它的进一步发展，思考它在商业化生产中的吸引力.

对材料的理解要有深度，不能局限于一点；用发展的眼光来看待其历史脉络！

Morton Jones’s May 1954 design sketch of TI's first silicon transistor
1954年5月莫顿琼斯的设计出了TI(德州仪器)的第一个硅晶体管的框架

从使用温度的角度，推测Si晶体管可能出现的问题？

硅的环境工作温度不超过200℃ why？何谓漏电流？

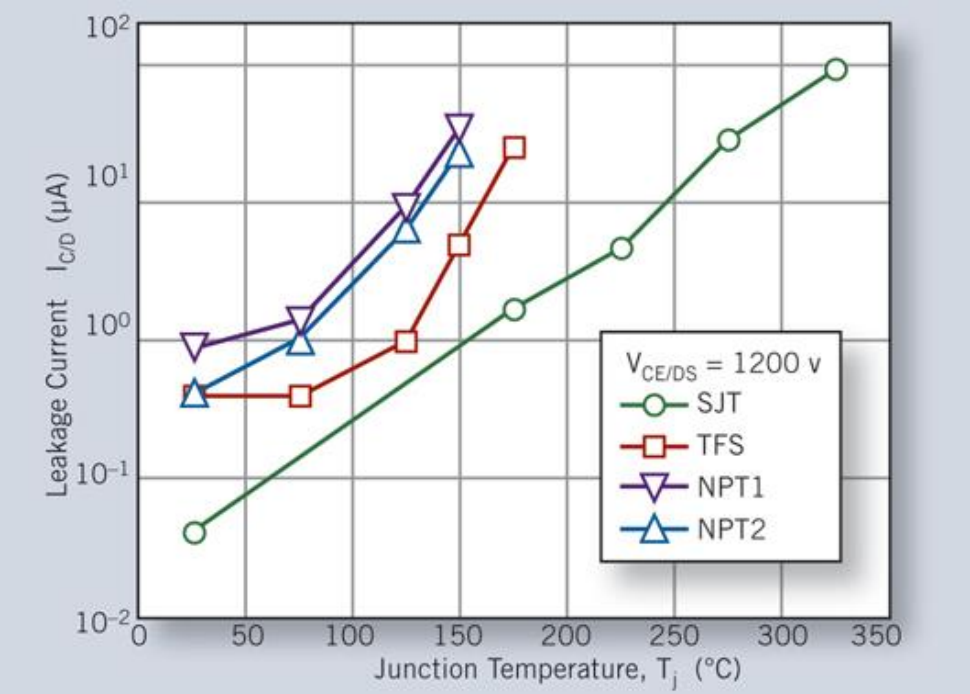


Fig. 2: Leakage current comparison of Si IGBTs and 1200 V/220 mΩ SJT as a function of temperature.

温度升高，硅芯片的漏电流变化？

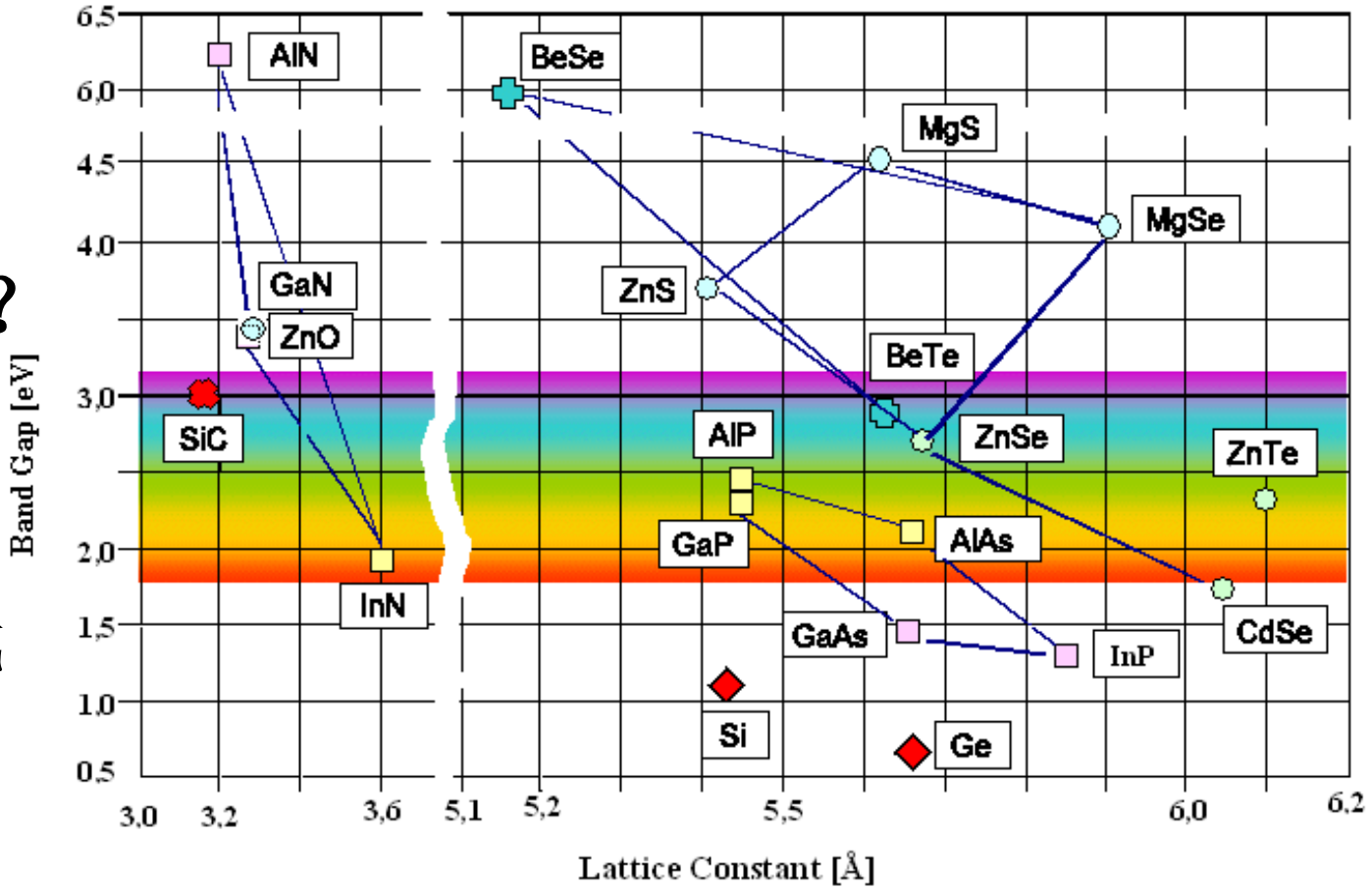
温度升高，硅芯片的电阻变化？

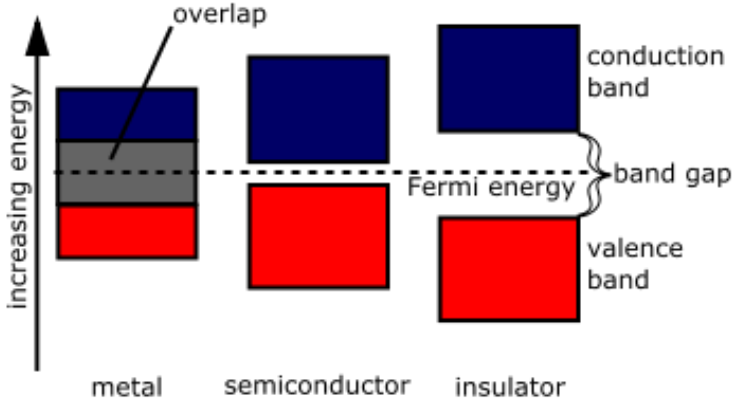
如欲寻求使用温度更高的晶体管材料，应该如何选择？

半导体材料
熔点高

带隙的影响？
迁移率

Si Ge一代
GaAs GaP二代
SiC GaN 三代



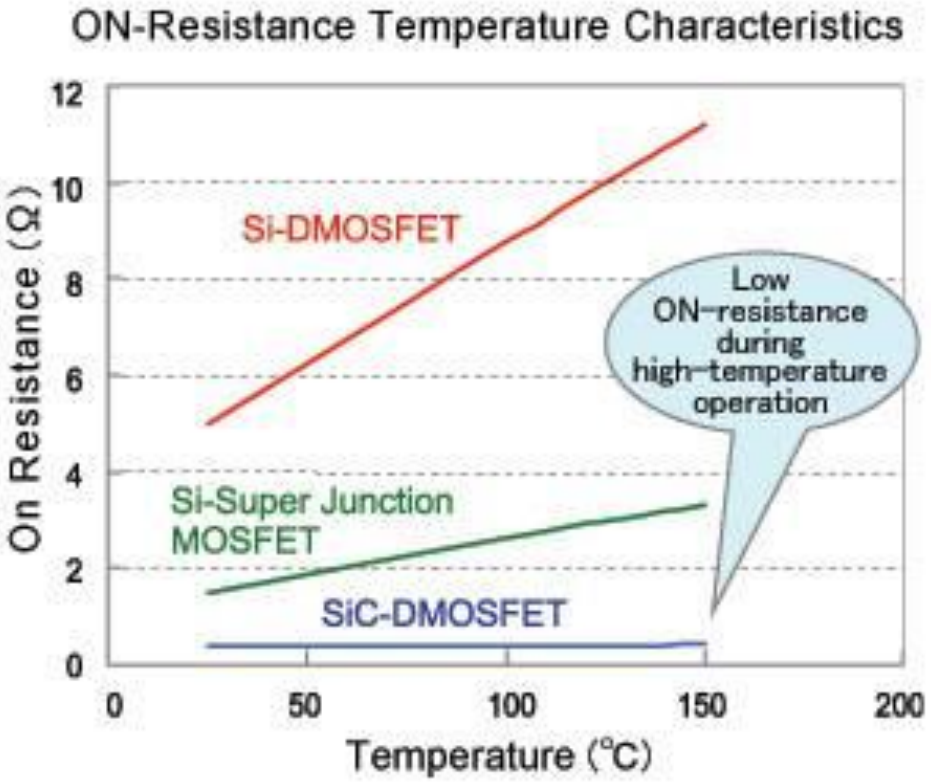


SiC sublimation temperature
升华温度 2700℃

SiC半导体材料

- SiC器件耐高温，工作温度300-500℃，可应用于航天航空设备，飞机发动机、卫星等
- 热导率高：>360 W/(m·K)
- 击穿场强是Si的8倍
- 抗辐射，工作频率较高
- 适于高温、高频、大功率下工作。
- **功耗低：**
- 日本三菱公司，电力变换器用SiC SBD(肖特基势垒二极管)和MOSFET管代替，功耗可降50%，甚至70%。

A high-temperature silicon carbide (SiC) semiconductor transistor was fabricated, packaged, and electrically operated continuously **at 500 °C for over 2000 hr in an air ambient**.



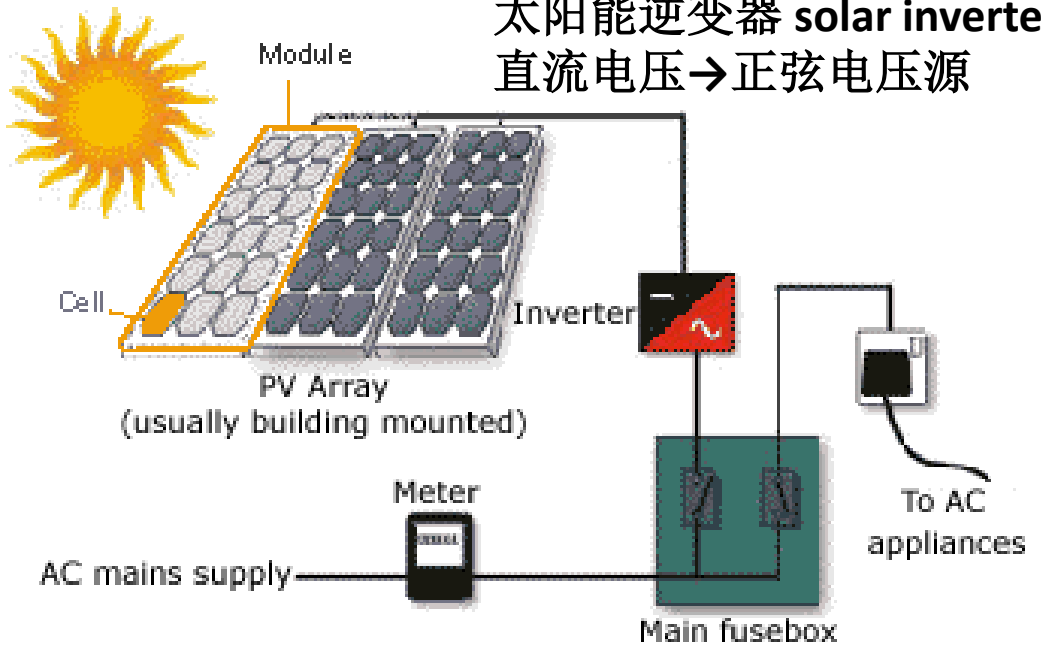
高温时电阻升高得非常少

SiC半导体材料

- 其缺点是制备工艺难度大，器件成品率低，因而价格较高，影响了其普通应用。
- 2009年世界最大的SiC衬底厂商美国**Cree**公司，已可批量生产高质量6英寸SiC衬底。
- 我国天科合达蓝光公司 2’ 3’
- 导电型6H-SiC每片150美元，导电型4H-SiC每片250美元

根据美国空军的评估，F-16战斗机中使用SiC电子产品（高温电子传感器和电子设备），将使该飞机的质量减轻几百公斤，工作性能和燃料效率得到提高，工作可靠性更高，维护费用和停工检修期大大减小。

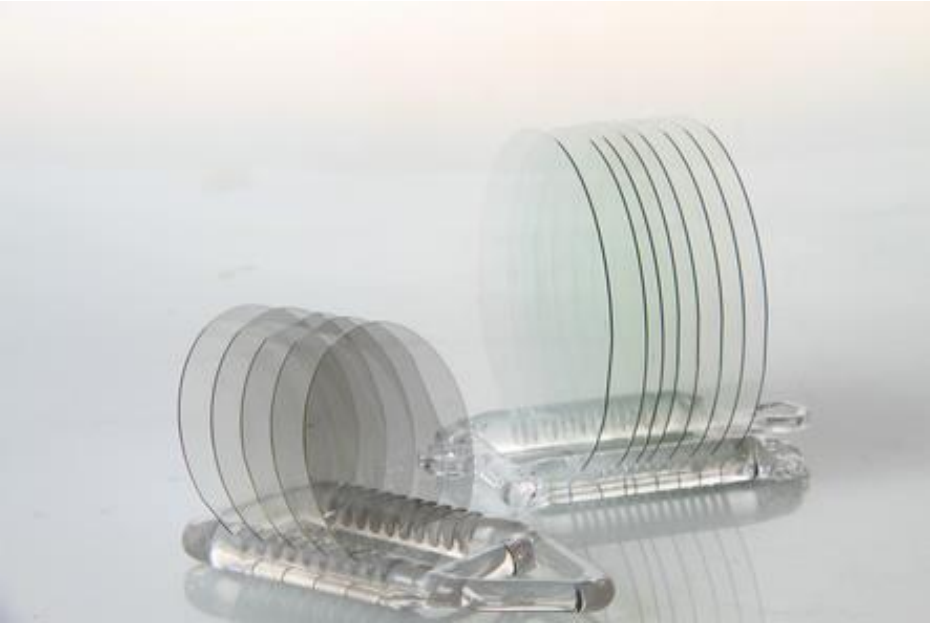
太阳能逆变器 solar inverter
直流电压→正弦电压源



SiC二极管→太阳能逆变器
(1) SiC导热率高→更高电流密度
(2) SiC击穿电场高→高电压的肖特基二极管
(3) 高温度下工作

单晶的制备技术、微电子器件制备技术！

SiC单晶_下一代半导体的性能（添加）



SiC晶体由SiC四面体密堆积而成。由于堆积方式的不同，SiC具有200多种不同的晶型，但能够稳定存在的只有3C、2H、4H、6H和15R等少数几种。相图研究表明，常压下SiC在2830℃时升华而不能形成液态，所以碳化硅晶体主要采用升华法生长

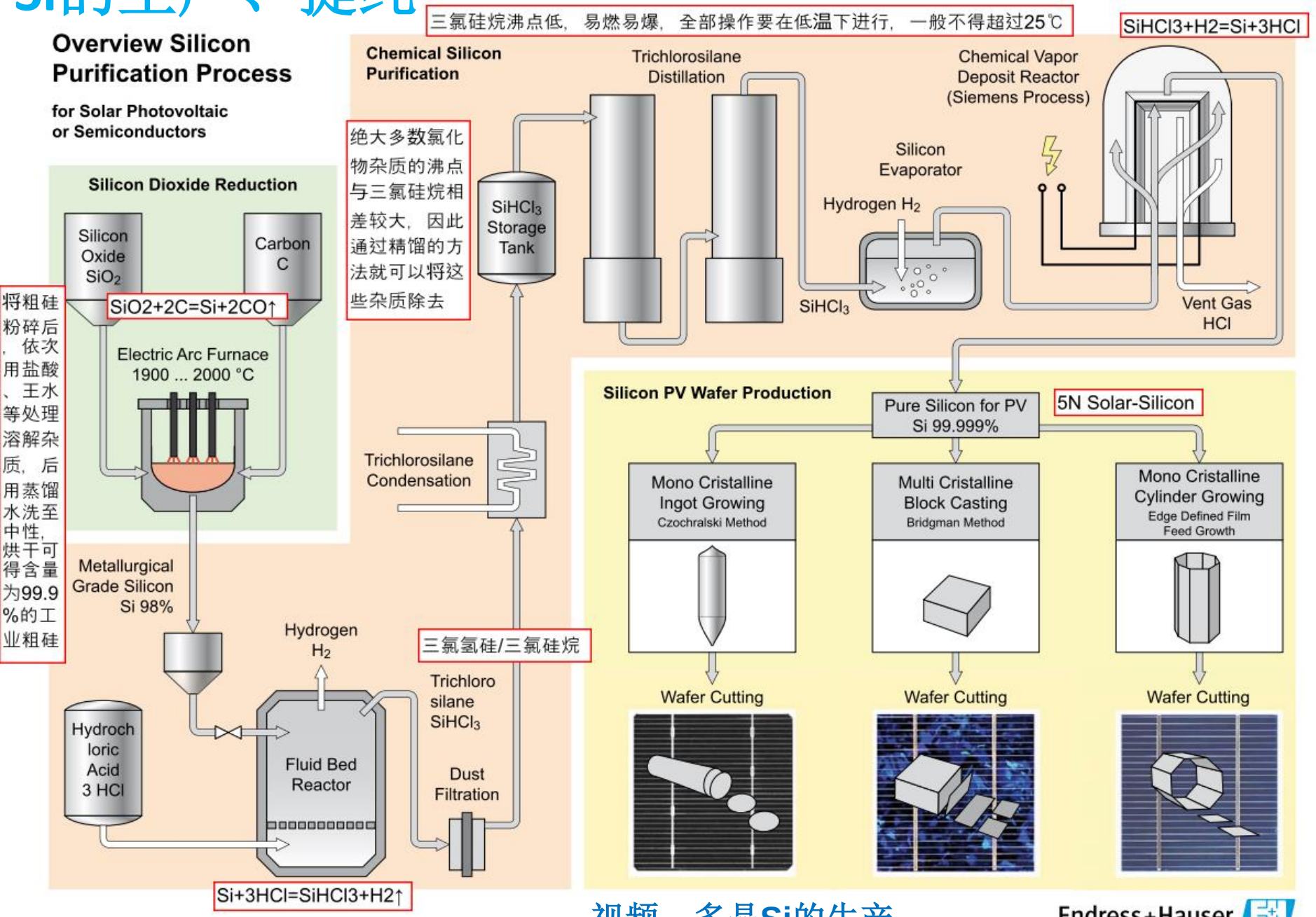
http://www.sicc.cc/article_cate.php?id=6　　http://amuseum.cdstm.cn/AMuseum/crystal/

第二节　单晶制备技术

1. 硅的生产和提纯
2. 单晶硅的制备__直拉法/CZ法
   - 原理
   - 拓展知识
     - 外延生长
     - 纳米材料生长
   - 晶锭的掺杂
3. 硅的进一步提纯_区熔法

Si的生产、提纯

讲解 pdf 文档 Silicon_Purification



视频：多晶Si的生产

http://www.endress.com/eh/home.nsf/#page/~Solar-PV_Process

Endress+Hauser
People for Process Automation

Siemens 工艺

High-purity silicon rods are exposed to trichlorosilane 三氯硅烷 $HSiCl_3$ at 1150 °C.

The trichlorosilane gas decomposes and deposits additional silicon onto the rods, enlarging them because

$2HSiCl_3 \rightarrow Si + 2\ HCl + SiCl_4$.

Silicon produced from this and similar processes is called *polycrystalline silicon*.

三氯硅烷分解，生成的Si沉积在

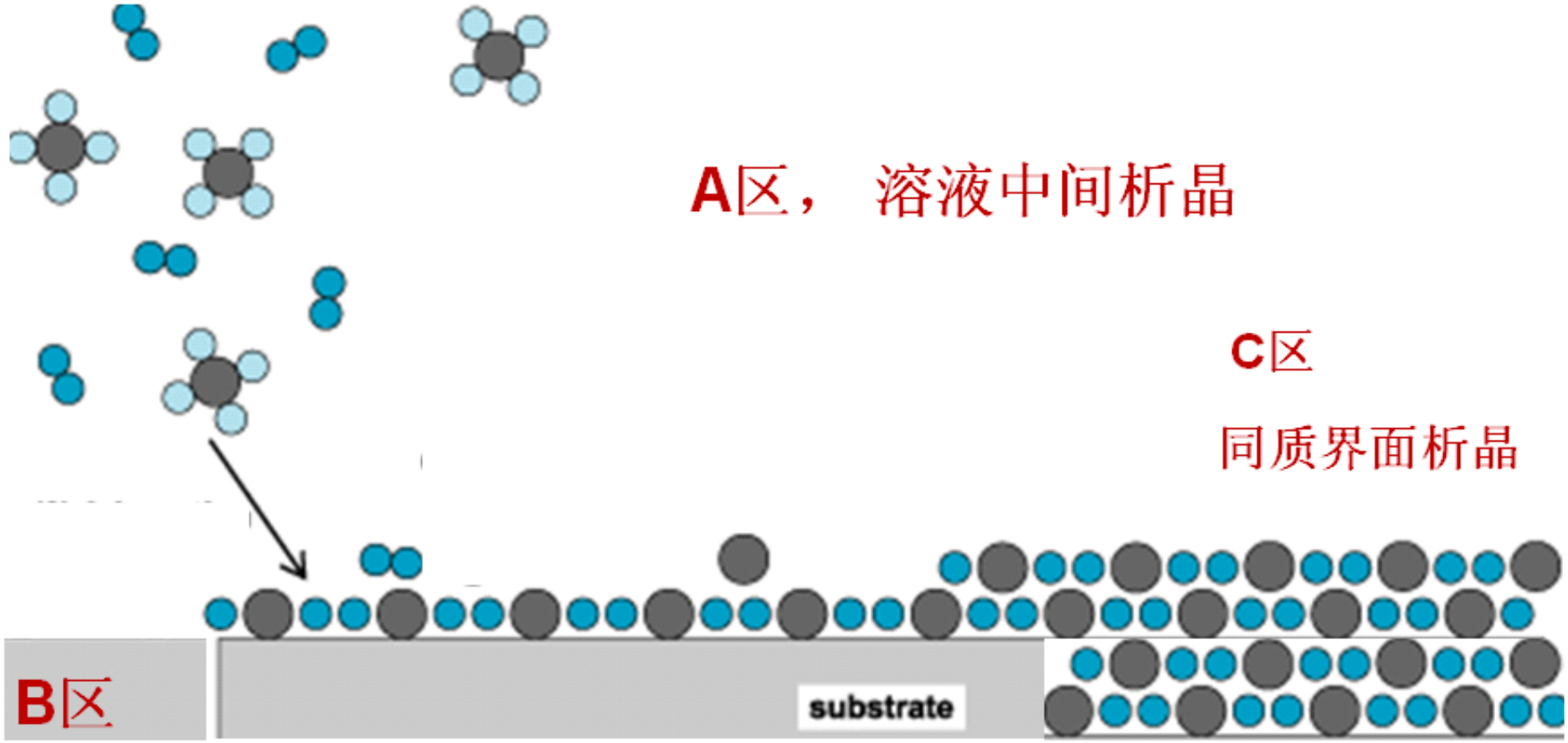
高纯硅上

A polycrystalline silicon rod made by the Siemens process

http://en.wikipedia.org/wiki/Silicon

第二节　单晶制备技术

1. 硅的生产和提纯
2. 单晶硅的制备__直拉法/CZ法
   - 原理
   - 拓展知识
     - 外延生长
     - 纳米材料生长
   - 晶锭的掺杂
3. 硅的进一步提纯_区熔法



异质界面析晶

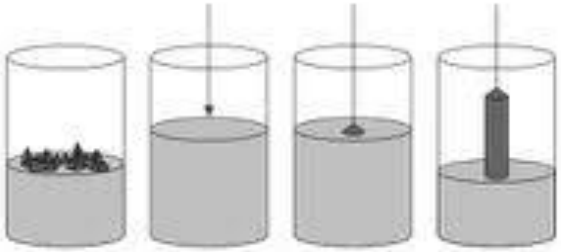
Si单晶制备技术

1. 晶体管的发明、发展，包括P/N型半导体的发现，都受限于单晶的制备技术，Ge、Si单晶。
2. 点接触型晶体管发明之后，Teal从事高纯Ge的制备。
3. Based on techniques developed in 1917 by the Polish chemist Jan Czochralski, he suspended 悬浮 a small “seed” crystal of germanium in a crucible坩埚 of molten germanium and slowly withdrew 提拉it, forming a long, narrow, single crystal.
4. Shockley later called this achievement "**the most important scientific development** in the semiconductor field in the early days."

提示：

1. **露水_解释**
2. **盐水析晶_解释**
3. **结冰侧壁开始**

小种晶Ge放在盛有熔融Ge的坩埚中！！

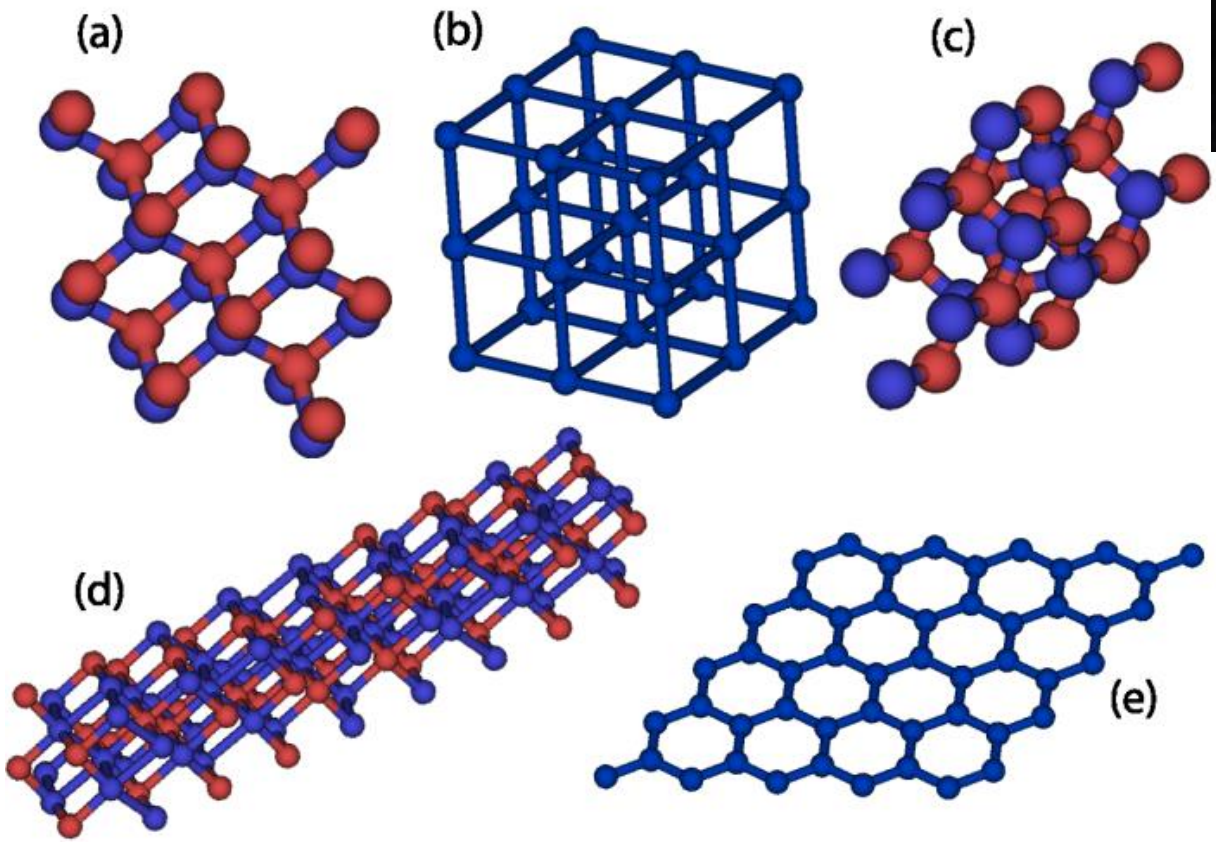


谁来解释一下？举个例子？

http://www.grc.nasa.gov/WWW/RT/2005/RI/RIS-neudeck2.html

晶体结构

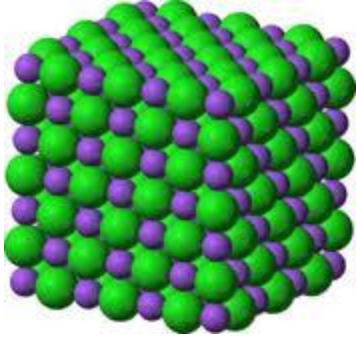
晶体的排列有规律



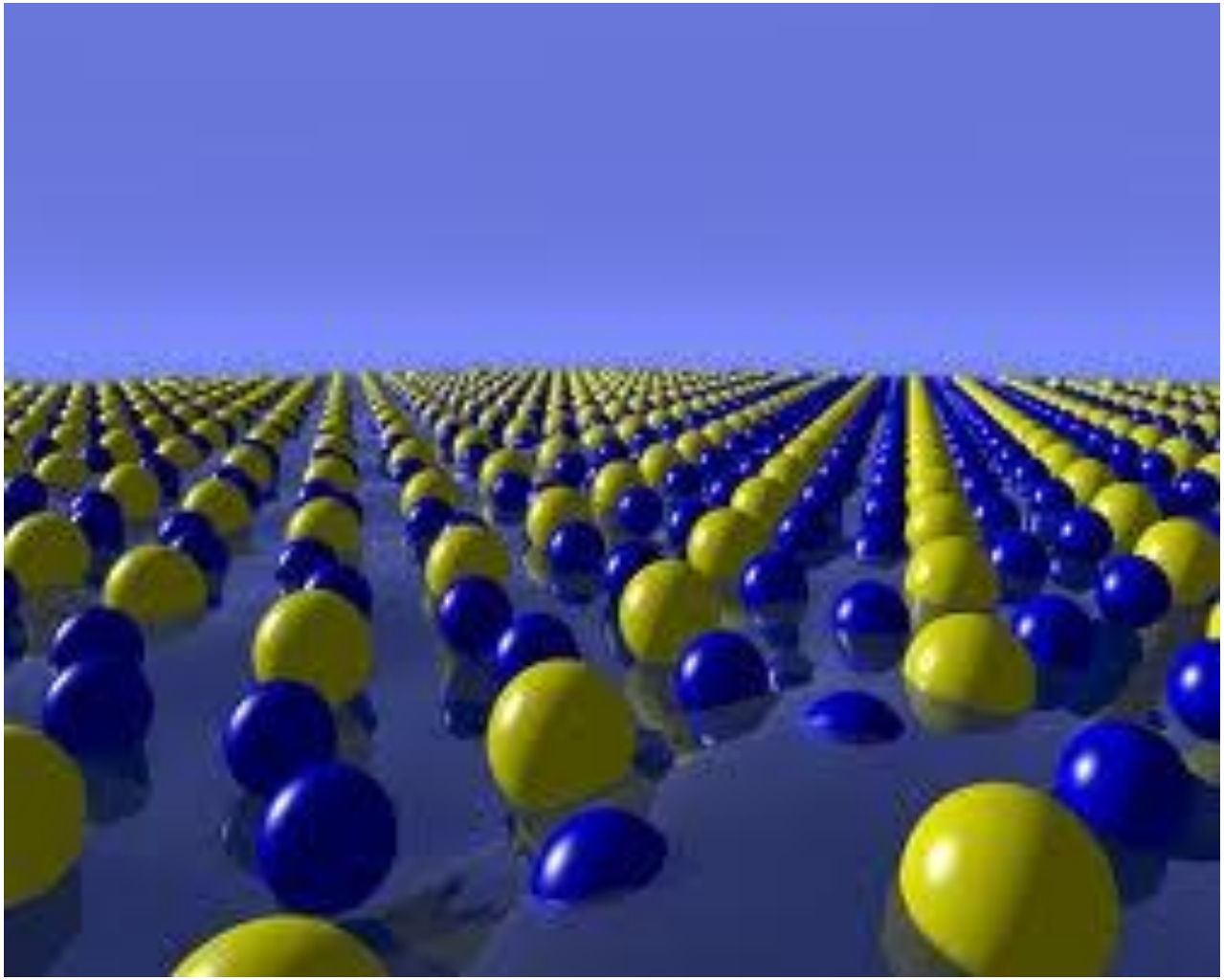
7大晶系
14种布拉维格子
32种晶体点群
230独立的空间群

Different crystal structures that can be employed: a) zinc blende. b) simple-cubic. c) wurtzite. d) trigonal. e) graphene.

晶体表面

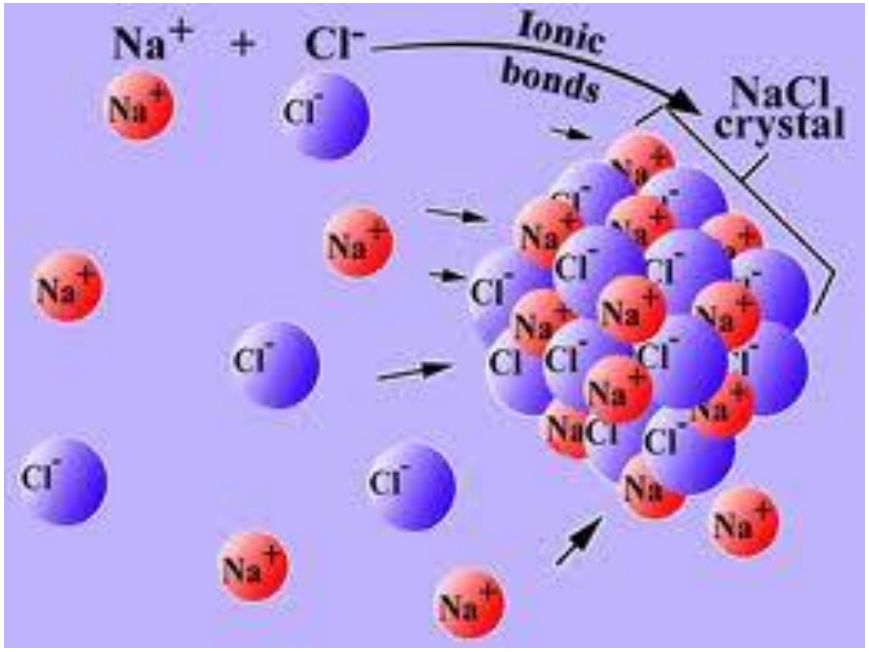


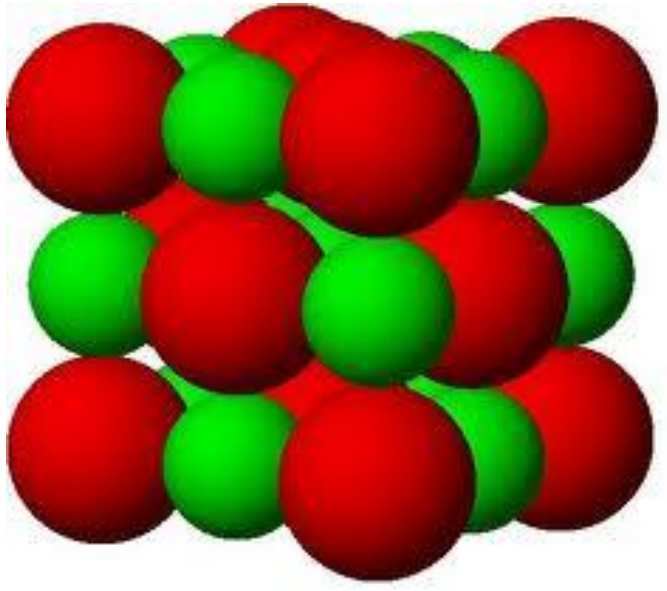
问：晶体表面呢？



NaCl晶体

NaCl如何从溶液中析出？





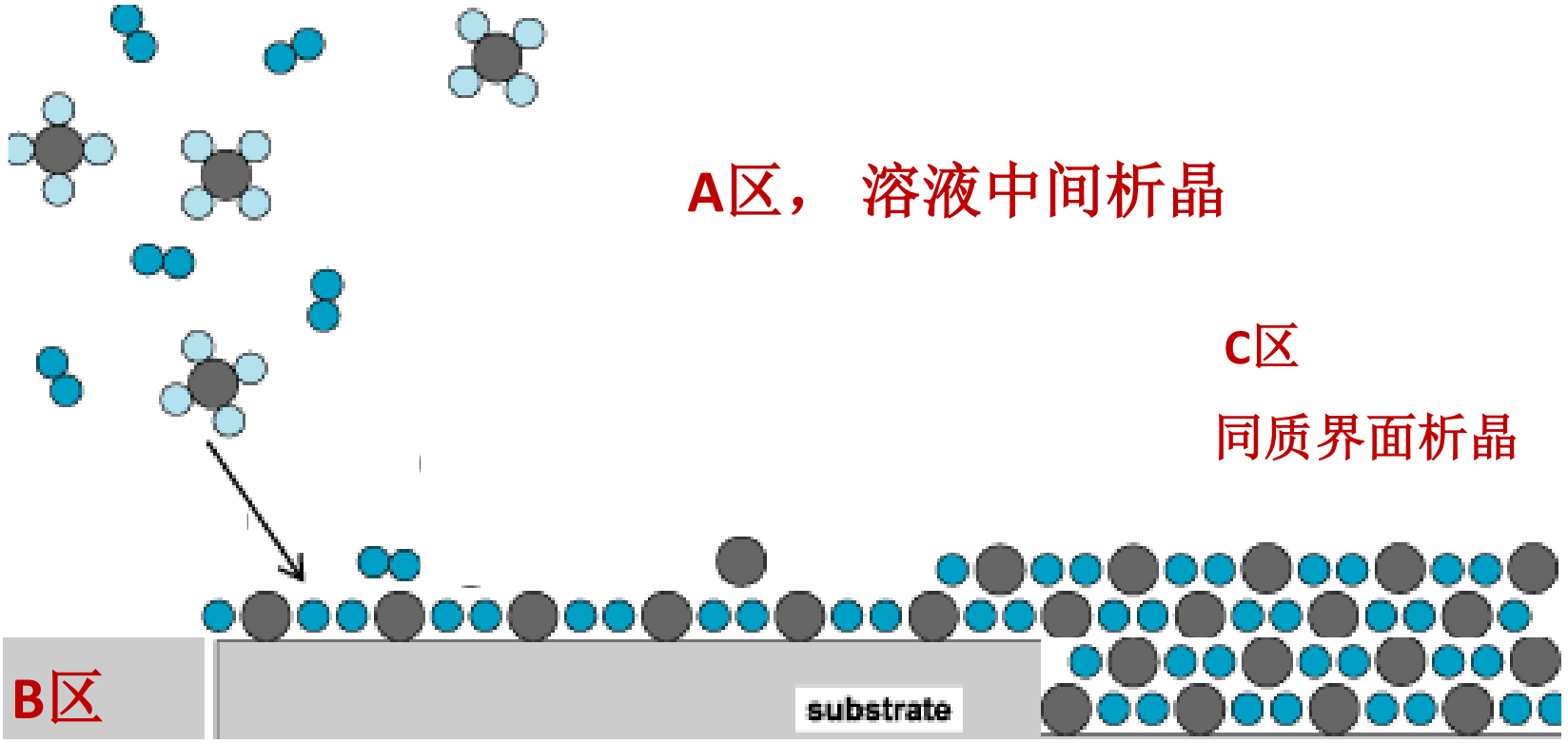
晶体生长

有界面与无界面的差别

同类界面与异类界面的差别

请问，从何处析晶更容易？

为什么？



异质界面析晶

学而不思则罔

析晶

要思考_尽信书,则不如无书
要学思路
不可只顾记忆知识
因为，科技发展、时代进步
知识无穷尽

1. 从液体中，析晶成核，如果有界面，能量更低
   - NaCl 析晶
2. 界面是同类物质，则能量更低
   - 晶格排列是一样的，容易取向
3. 溶液析晶，熔盐析晶呢？
   - 析晶的动力是什么？
   - 过饱和度
4. 请问，种晶放到坩埚中，会熔化么？P20

将坩埚加热到1500℃左右，Si熔点1414℃

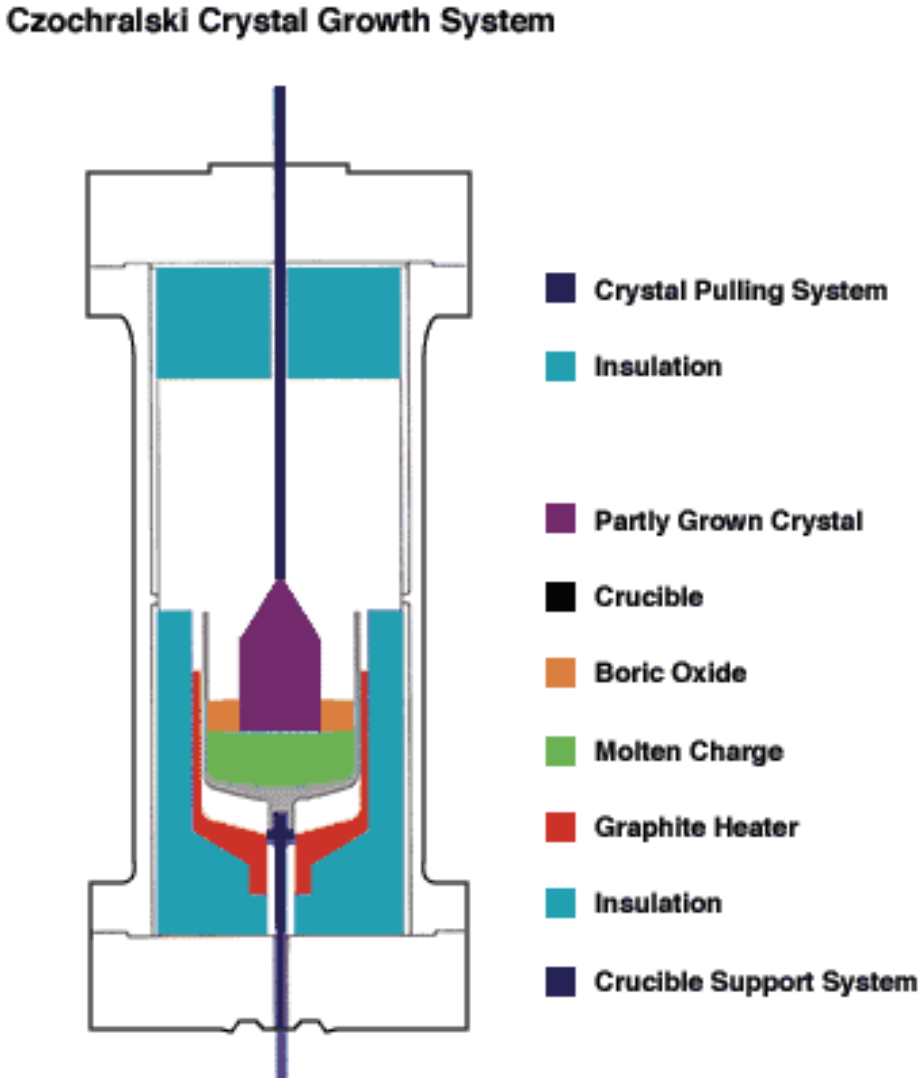
肯定不会熔化，否则不能拉出单晶来？

为什么不熔化？推测，

- 动态的，非平衡态的
- 熔化需要热量，传热需要时间，初期是存在温度差的
- 析晶能量会降低，释放能量
- 提拉过程存在温度差

CZ法生长单晶_晶核诱导

CZ法生长单晶_直拉生长法



1. 请问, 如果晶体易挥发怎么办?

密封或加压，GaAs，P26

2. 请问，如果晶锭boule /’bu: l/

的缺陷浓度很大，又不能在生长过程中进行有效控制，该如何做？

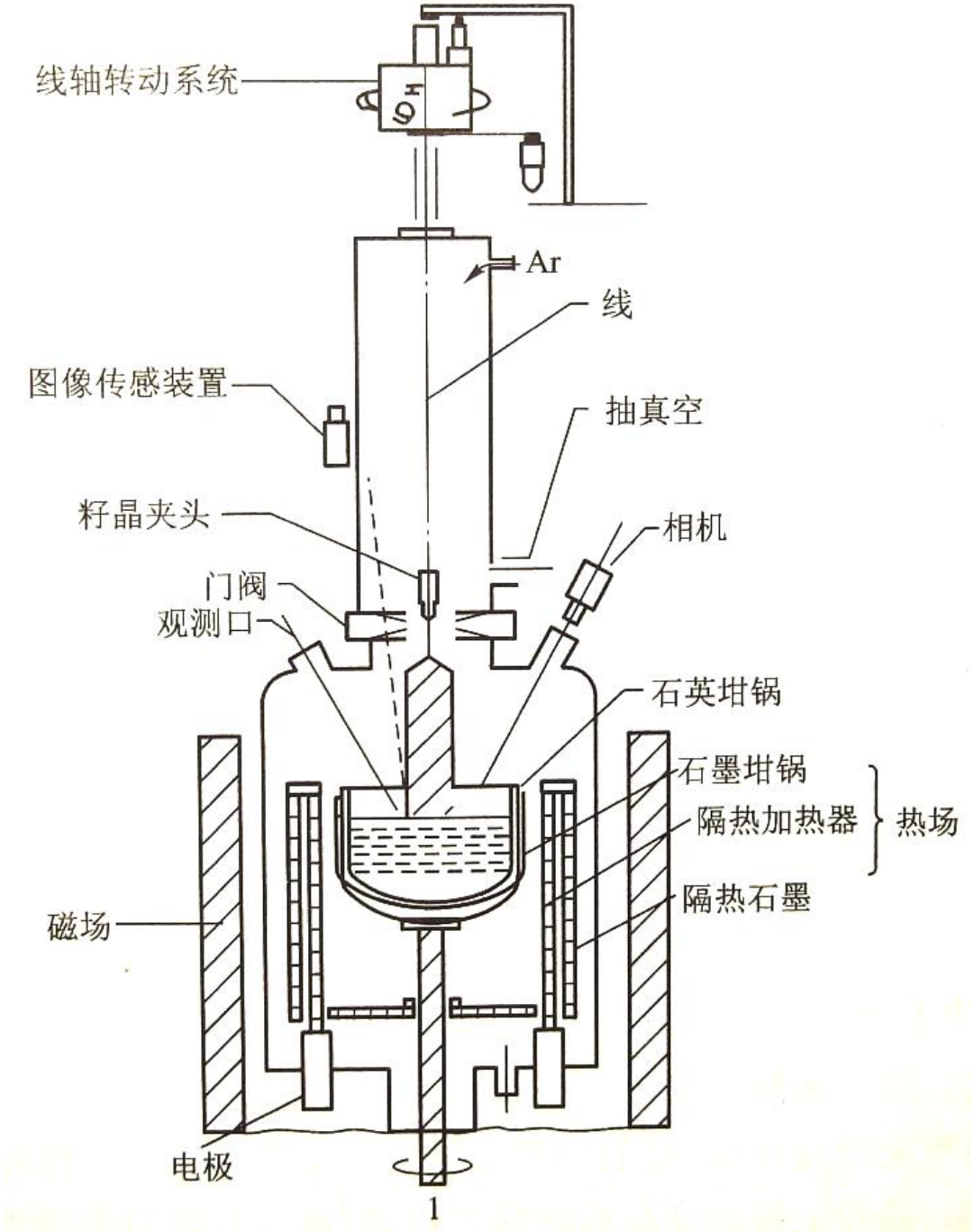
GaAs CZ法缺陷浓度大，热退火降低缺陷

CZ直拉法生长单晶硅

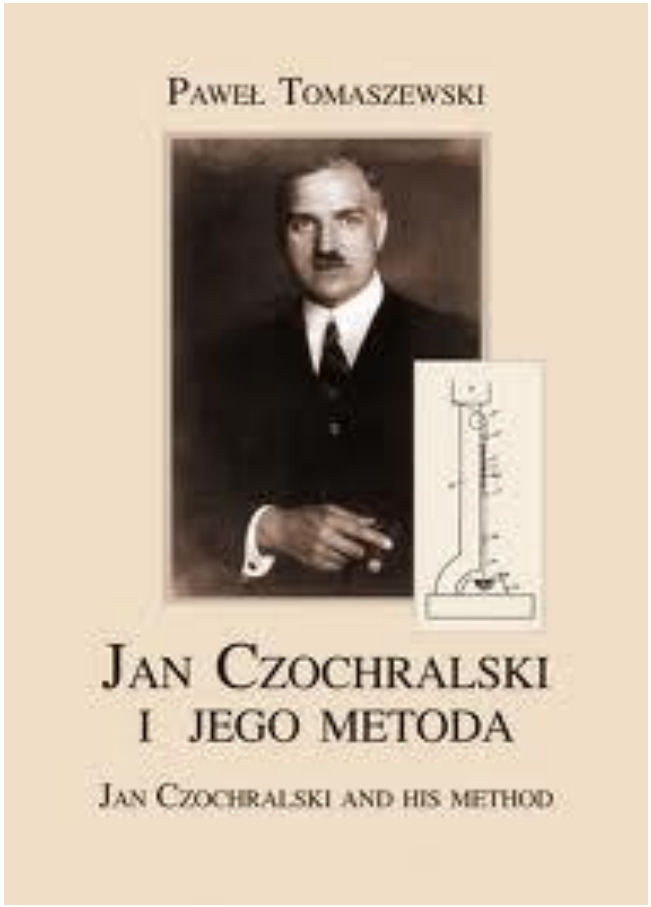
把熔化了的半导体级硅液体变为有正确晶向并且 被掺杂成n型或p型的固体硅锭

特点

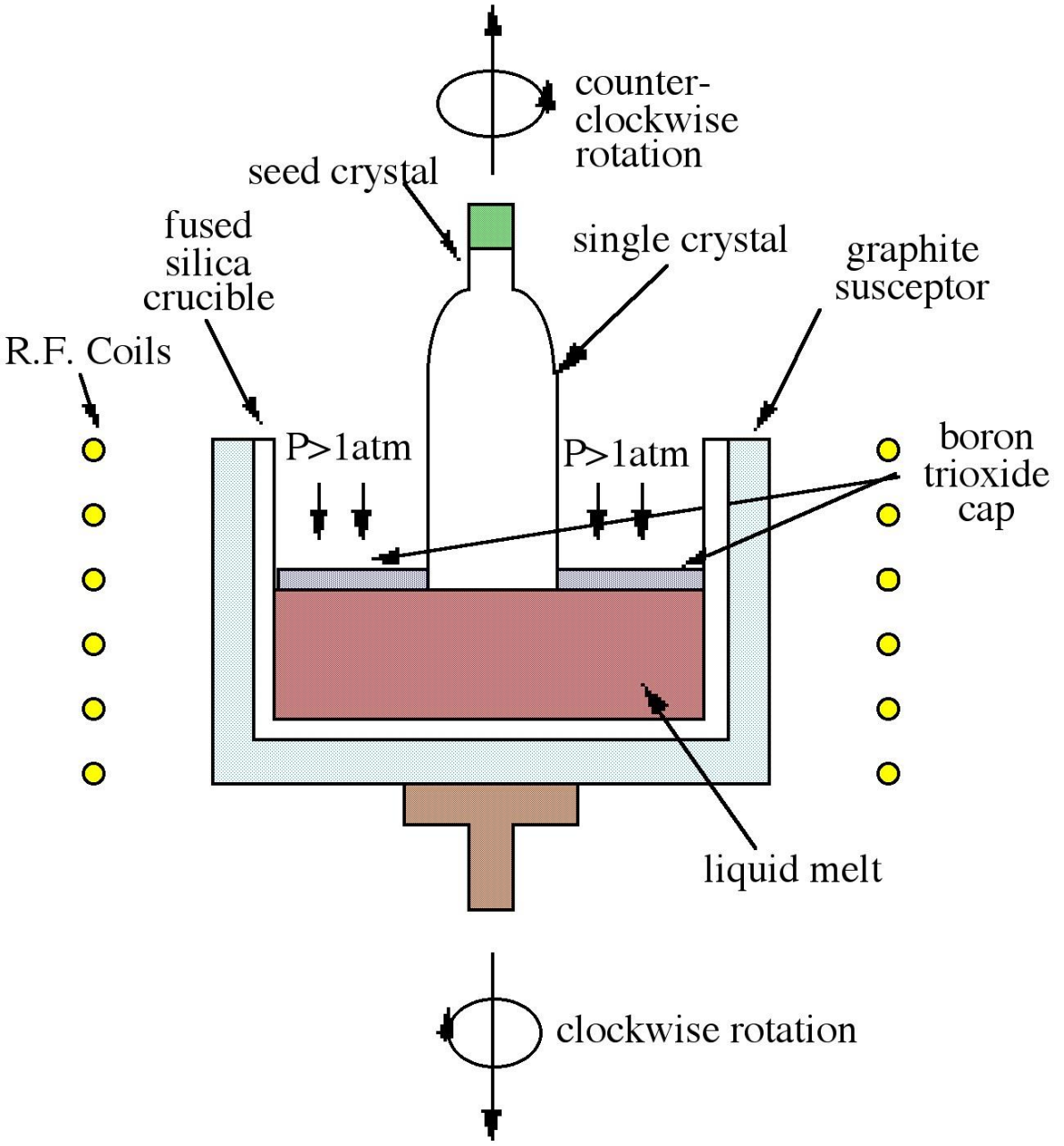
- 生产85%以上单晶硅
- 制作大直径硅片
- 硅锭中氧含量较高



晶核诱导生长单晶

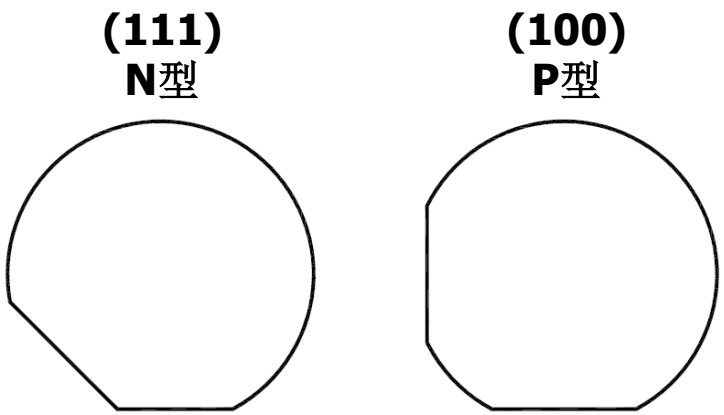


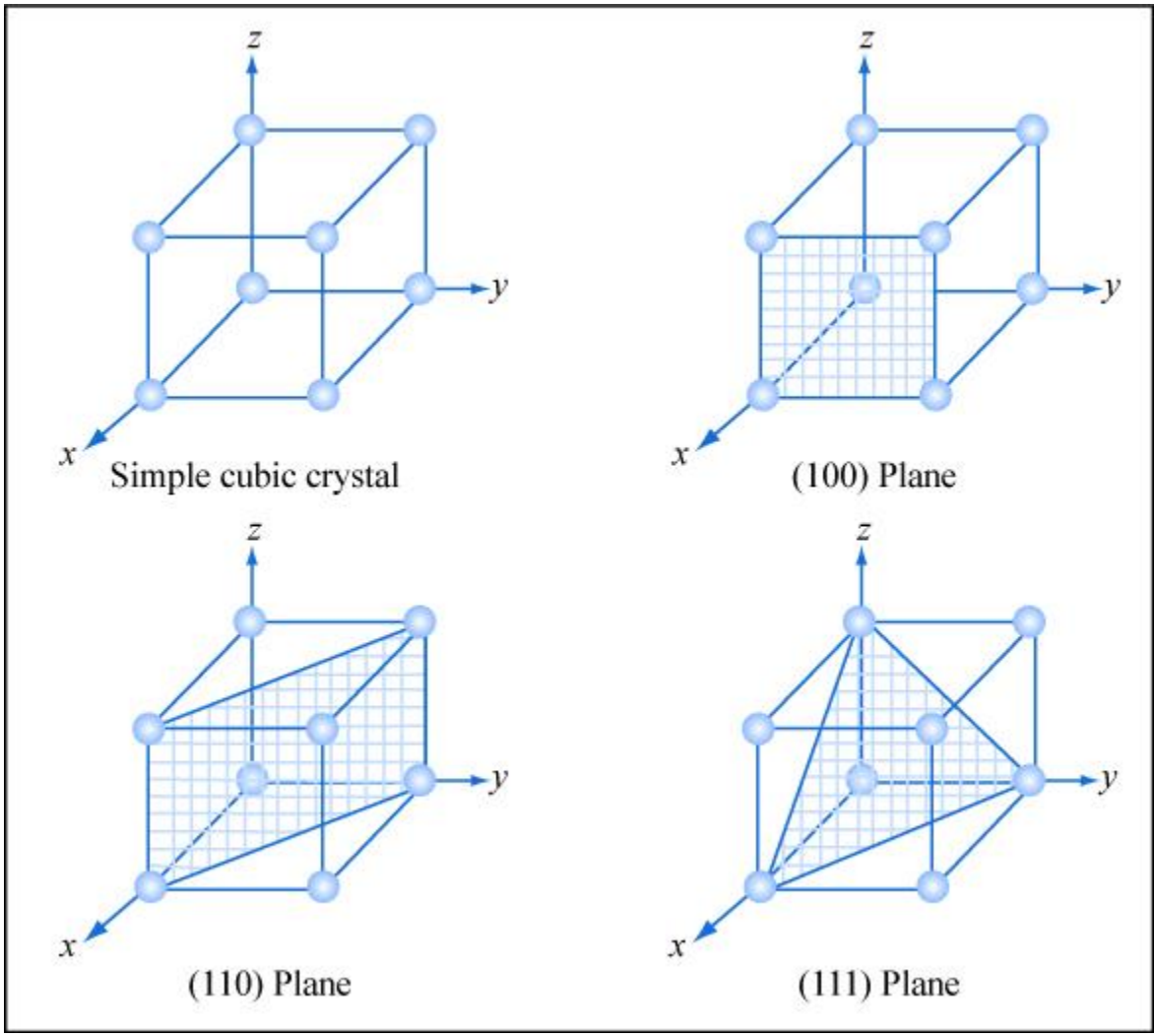
Jan **Czochralski** (pronounced cho-HRAL-skee) was a Polish chemist.



请注意，坩埚和晶锭的旋转方向，为什么？

CZ法生长单晶



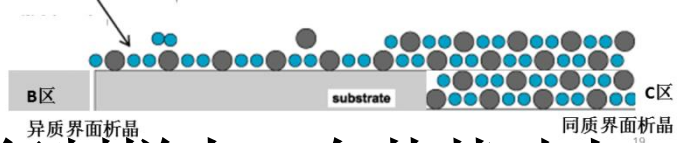


(111)(100) 晶片有何不同？

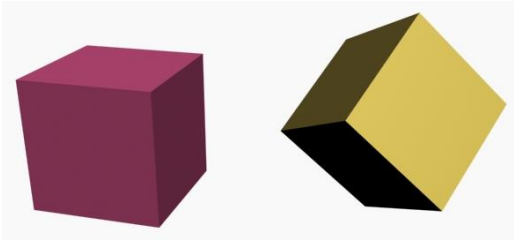
(010)Si与(100)Si相同么？

为什么书中没有写(010) (001)硅片？

CZ法生长单晶



“籽晶必须是严格定向的，因为它是一个复制样本，在其基础上将要生长出大块的、称为晶锭的晶体。”

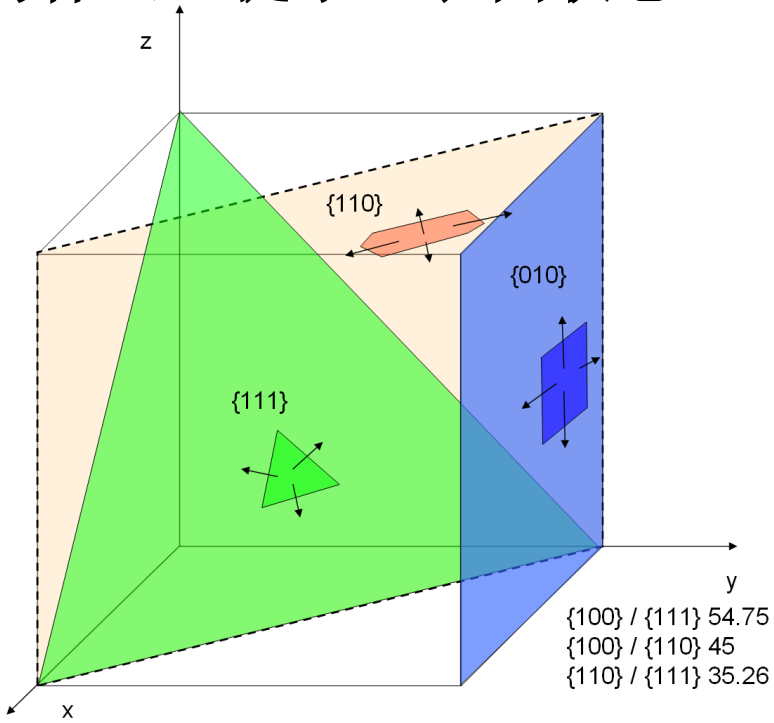


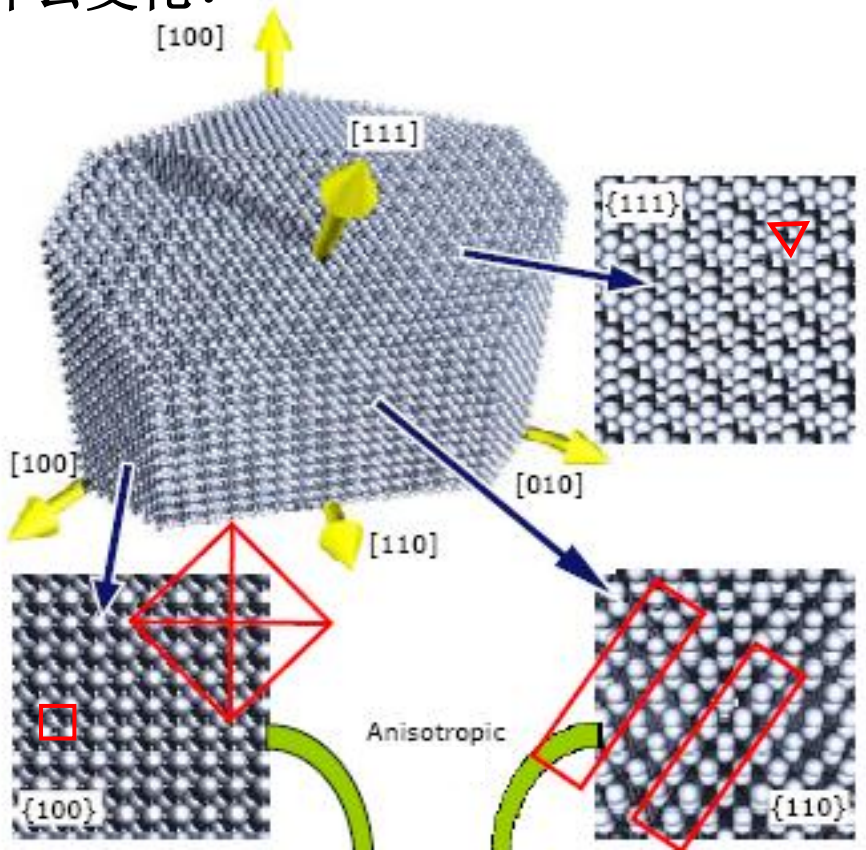
定向的意思？取向

请问，如何理解？

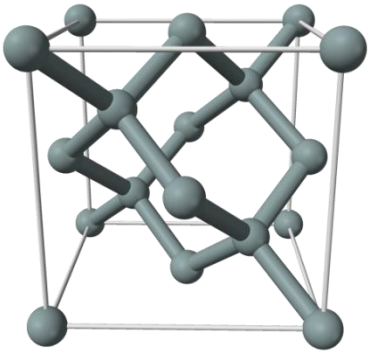
籽晶（种晶）的定向发生改变，晶锭会有什么变化？

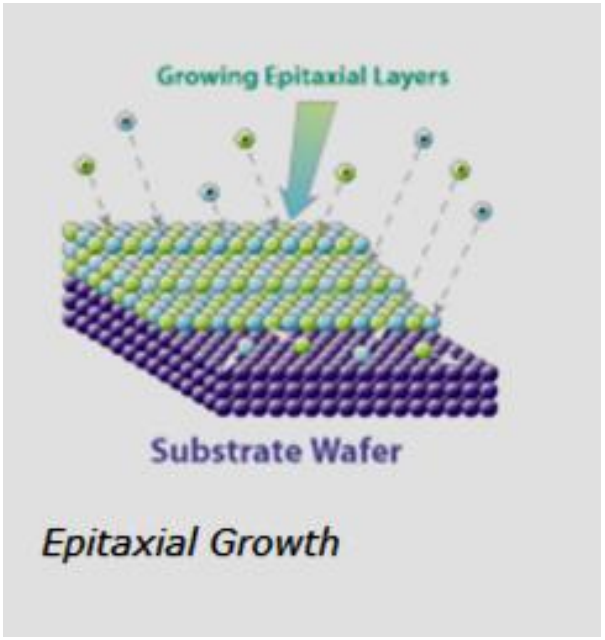
为什么？提示，表面状态？

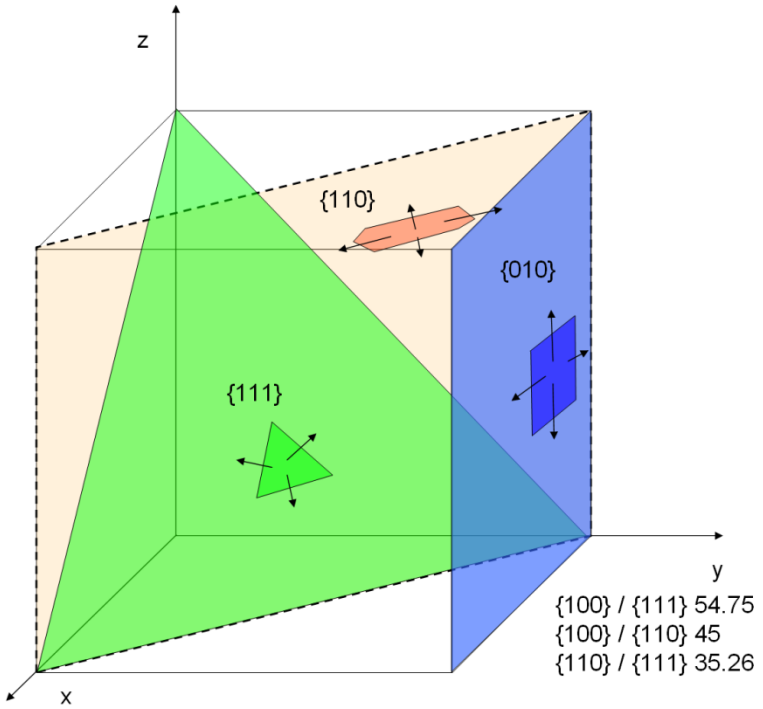




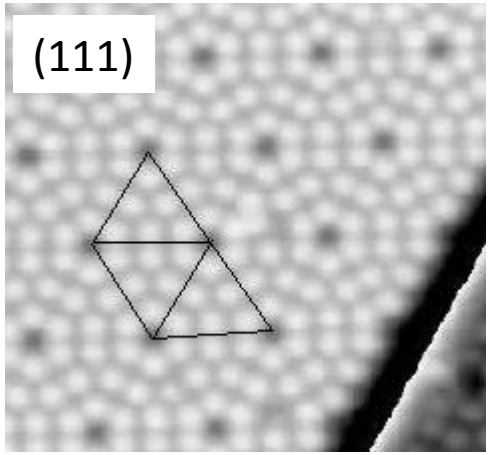
Control by Substrate Surface

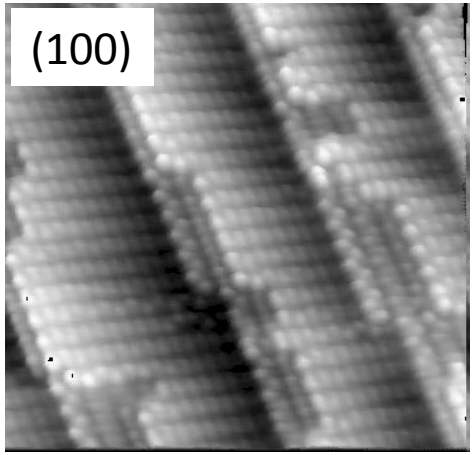


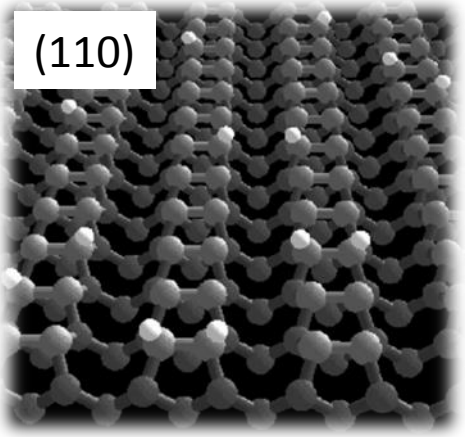




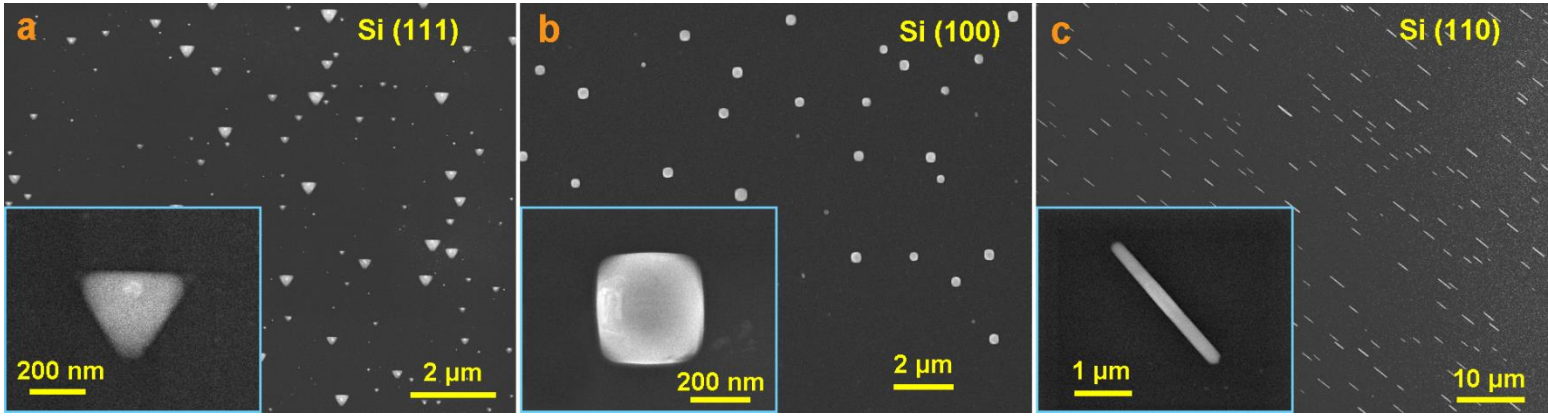
请问，生长于各个晶面上的晶体，将如何排布？取向如何？
各种情况下，晶锭的竖直方向是什么？

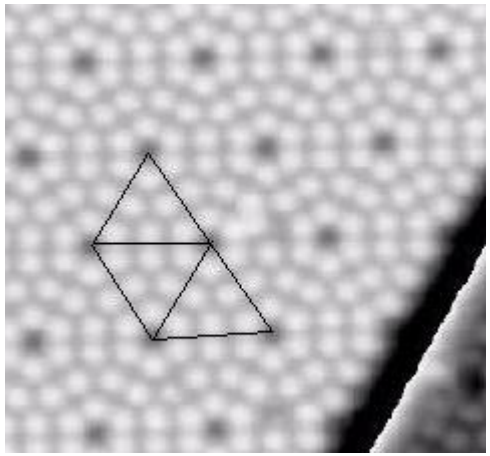


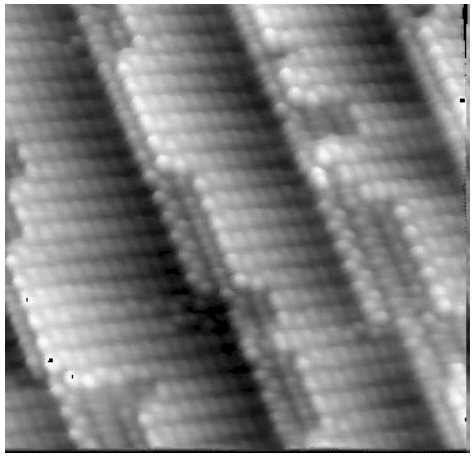


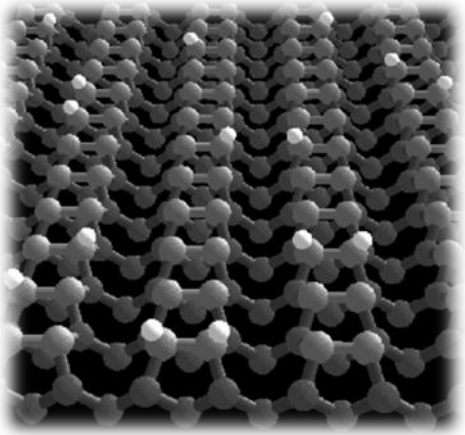


Control by Substrate Surface
Cu+Si→Cu_3Si









"Self-assembled shape and orientation-controlled synthesis of nanoscale Cu3Si triangles, squares, and wires." ***Nano Lett.*** 8, 3205 (2008)

拓展知识1_外延生长_epitaxial growth

外延生长是在单晶衬底（基片）上生长一层有一定要求的、与衬底晶向相同的单晶层，犹如原来的晶体向外延伸了一段，故称外延生长。

外延生长技术发展于上世纪50年代末60年代初。

异质外延，晶格常数失配率

Lattice mismatch

$$f = \frac{a - a'}{a'} \times 100\%$$

http://www.photonics.ethz.ch/research/core_competences/technology

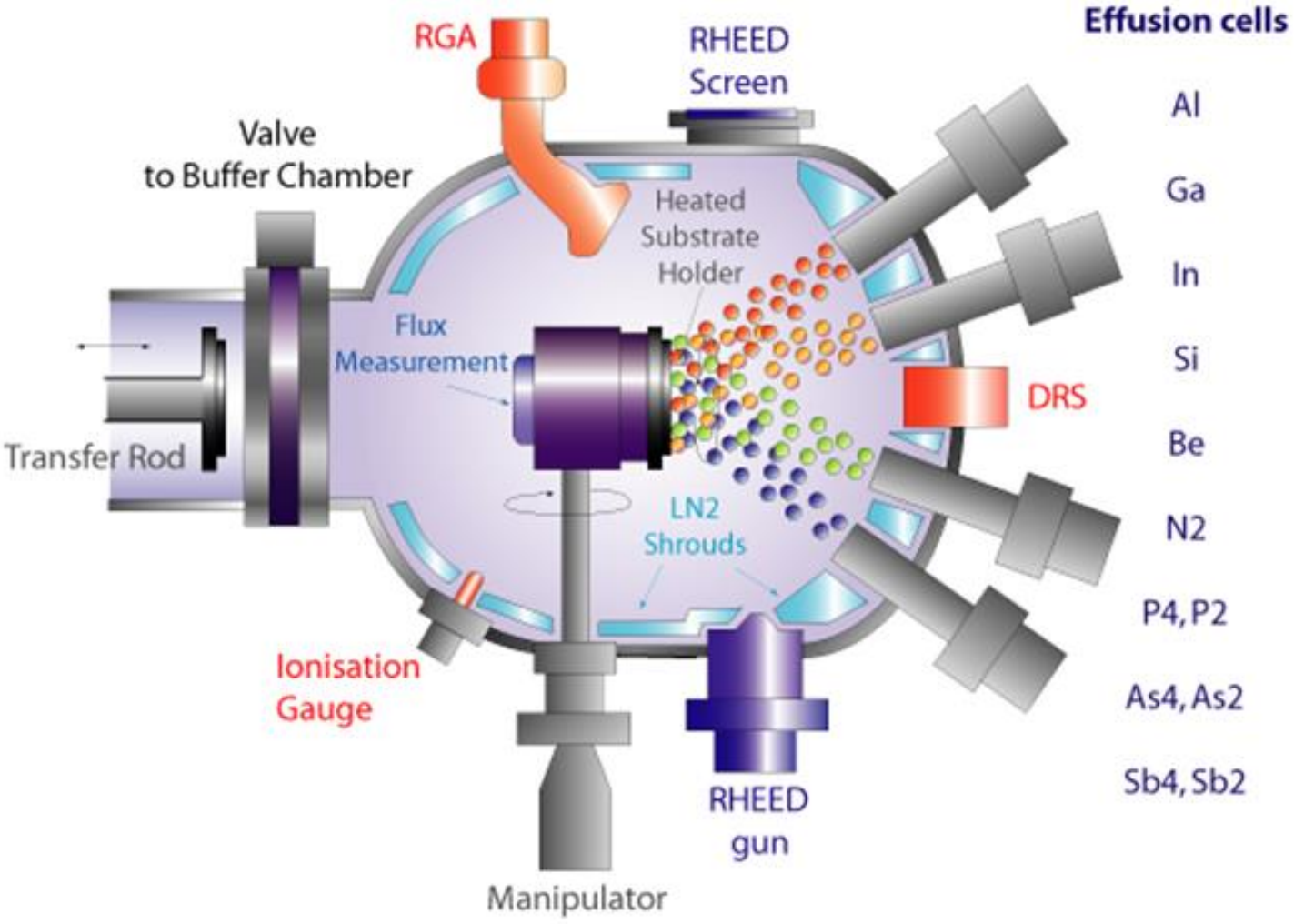
分子束 外延
MBE_molecular beam epitaxy

分子束外延是一种超高真空条件下的物理气相淀积方法。

其工作原理是在超高真空系统中，使分子或原子束连续不断地撞击到被加热的衬底表面上而获得均匀外延层。

在分子束外延过程中，各种成分的束强度可以分别控制。分子束外延的特点是生长速率相当低，典型的为0.1～0.2μm/h，因而能精细控制生长层的厚度，可以生长极薄的外延层。

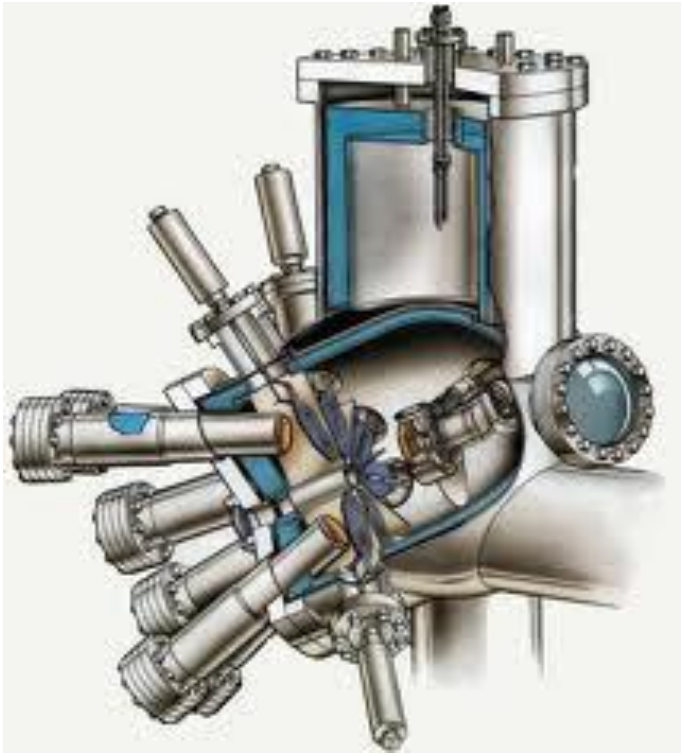
分子束 外延 MBE_molecular beam epitaxy

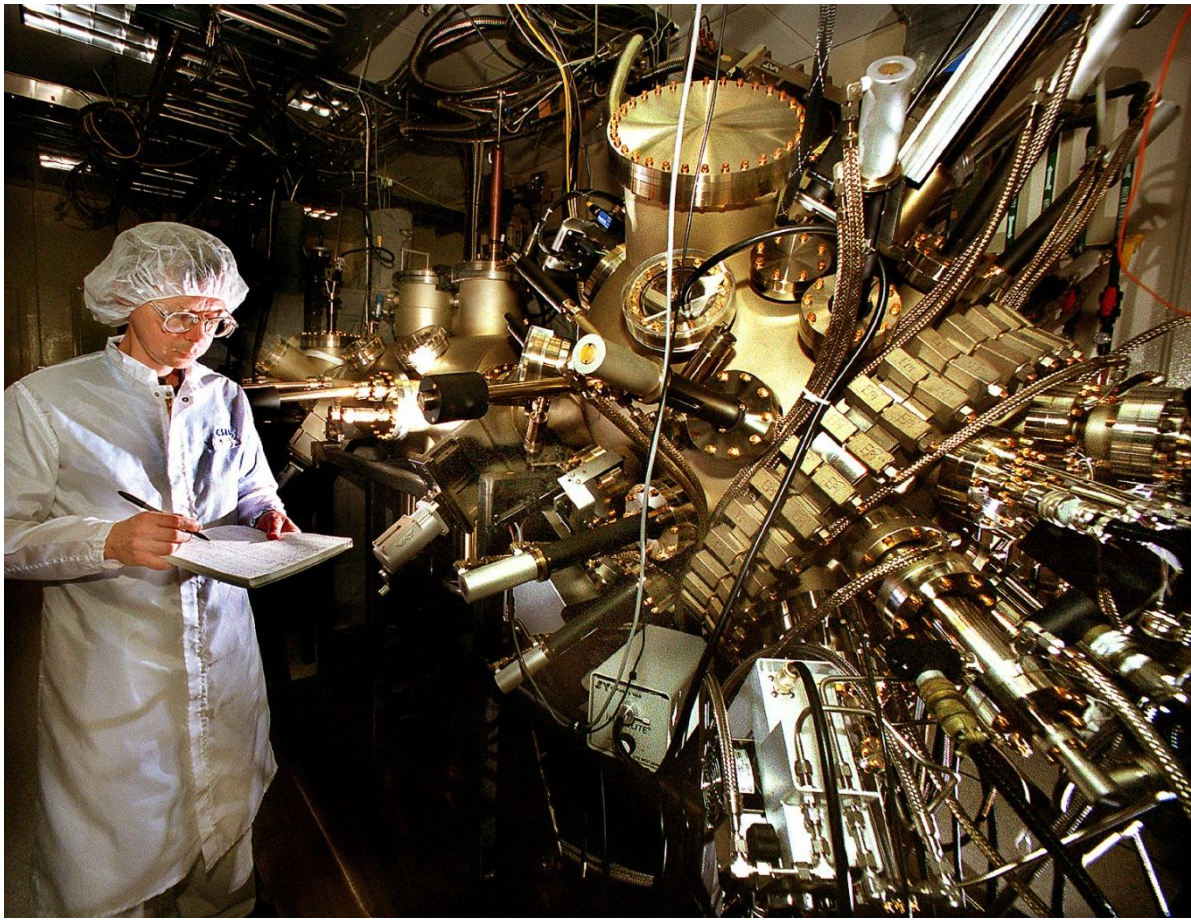


http://www.photonics.ethz.ch/research/core_competences/technology/epitaxial_growth/mbe

外延生长

设备_MBE

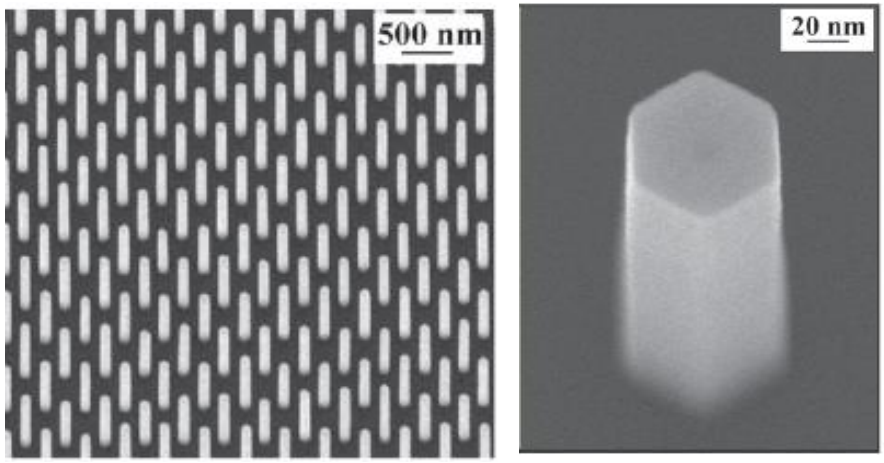




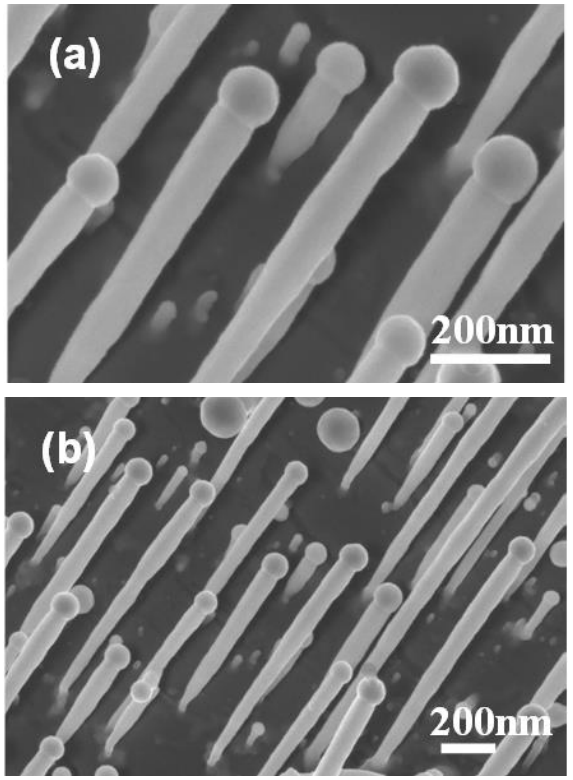
CRYSTAL GROWTH -- Sandia researcher John Klem stands next to the molecular beam epitaxy system used to grow the crystal structure of the 1.3-micron communications vertical cavity surface emitting laser (VCSEL). (Photo by Randy Montoya)

拓展知识2_纳米材料生长

晶种/基板诱导——InP、SiC

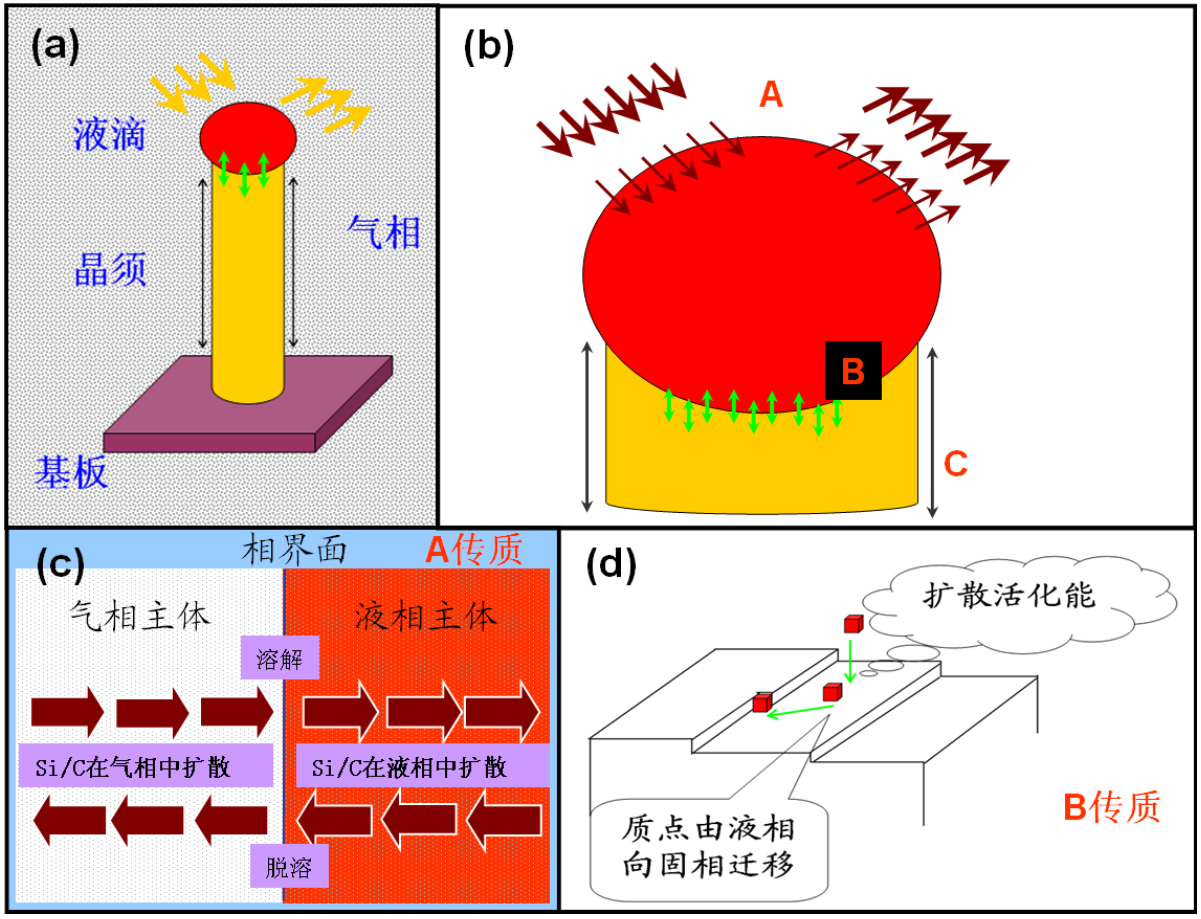


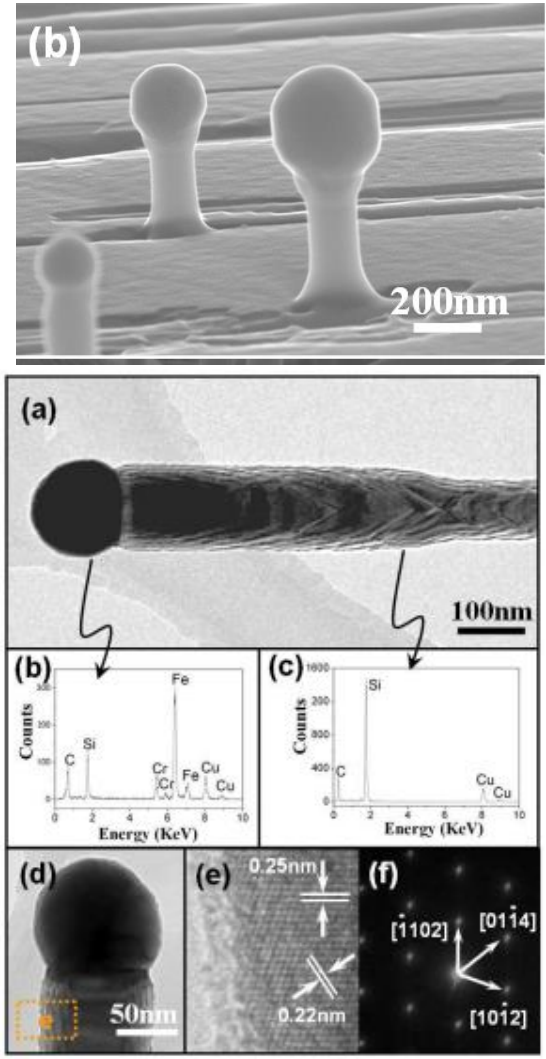
InP单晶基板生长InP纳米线阵列



SiC单晶基板生长SiC纳米线阵列

VLS vapor liquid solid
定向生长一维纳米的原理





VLS生长机制中的传质途径
(a)-(b) 三条传质途径示意图 (c) 气-液界面处的传质 (d) 固-液界面处的传质

晶锭的掺杂

1. 晶锭中的掺杂剂是如何添加的？
   - 称量
2. 掺杂剂在熔融原料中的分布均匀么？
   - 不均匀
3. 受哪些因素影响？
   - 掺杂剂的密度、自然对流形成的环流
4. 掺杂剂在晶锭中的分布均匀么？

晶锭的掺杂

掺杂剂在晶锭中的分布 *Segregation coefficient*

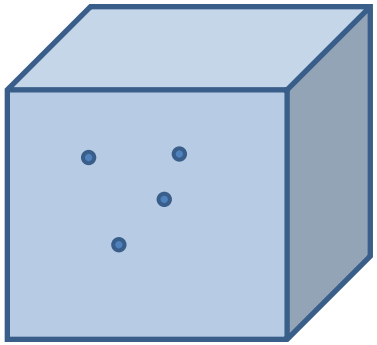
- 分凝系数 $k=C_s/C_l$（解释）硼，0.8
- 假设k为常数且大于1，析晶过程中，C_l变化么？如果变化，如何变化？
- C_l 变化， C_s 如何变化？
- 逐渐变小
- 式，2.13
- k等于1呢？k小于1呢？
- 不变，C_s 逐渐变大
- 例2.4 一个原始的硅熔体中硼杂质的含量为1ppm，求出硅晶锭顶部硼的杂质浓度，求出硅晶锭中硼杂质浓度为1ppm的位置。
- 硼，k=0.8，C_0=1ppm， X=0

  $C_s=0.8\times1ppm\times(1-0)^{0.8-1}=0.8ppm$

  $C_s=0.8\times10^{-6}\times5\times10^{22}atoms/cm^3=4\times10^{16}cm^{-3}$

  $C_s=1ppm=0.8\times1ppm\times(1-X)^{-0.2}$

  X=0.67



固液界面上，
固体侧杂质浓度/液体侧杂质浓度

固液界面处，
杂质在固体和液体中的浓度比
$k=C_s/C_l$

$C_s=kC_0(1-X)^{k-1}$
C_0熔料中杂质的初始浓度
X熔料中已经结晶的比例

以糖水和冰棍的甜度即含糖量为例，
释义 分凝系数
释义 硅熔体长出硅晶体，各自的硼含量

晶锭的掺杂

掺杂剂在晶锭中的分布

- 边界层
- 有效分凝系数，式2.14，

$$k_e = \frac{k}{k + (1-k)e^{-Vb/D}}$$

- V 拉速
- b 有效边界层厚度
- D 扩散系数
- 有效分凝系数说明流场也能影响析晶
- **表2.1　硅中常见杂质分凝系数**
- ***表中给出的分凝系数有争议，有时也引用接近1.0的数值**

Al	As	B	O	P	Sb
0.002	0.3	0.8	0.25*	0.35	0.023

第二节　单晶制备技术

1. 硅的生产和提纯
2. 单晶硅的制备__直拉法/CZ法
   - 原理
   - 拓展知识
     - 外延生长
     - 纳米材料生长
   - 晶锭的掺杂
3. 硅的进一步提纯_区熔法
   - 区熔法原理
   - 锗的提纯
   - 硅的提纯
   - 大质量单晶的生长
   - 区熔法的纯度
   - 区熔法的广泛应用

硅的进一步提纯

思考：如何做高纯Si 9N？

在纯度上，CZ法的缺陷

坩埚引入杂质

Solar grade silicon 5N cannot be used for semiconductors.

Bulk silicon wafers used at the beginning of the integrated circuit making process must first be refined to "nine nines" purity (99.9999999%，9N).

硅材料3N 4N 5N 是什么意思？
N 是英文nine的简写，就是九，几N就是指其纯度是几个九，3N就是说其纯度是99.9%,4N就是99.99%。这是化学中高纯物质的通用表示法。

高纯硅ultra high purity Si的制备

区熔法

区域熔炼/精炼　**Zone melting/refining**

悬浮区熔法 **floating zone process**

区域提纯，是提纯物质的一种方法。

利用杂质在固相和液相的溶解度不同。

杂质在液相Si中的溶解度

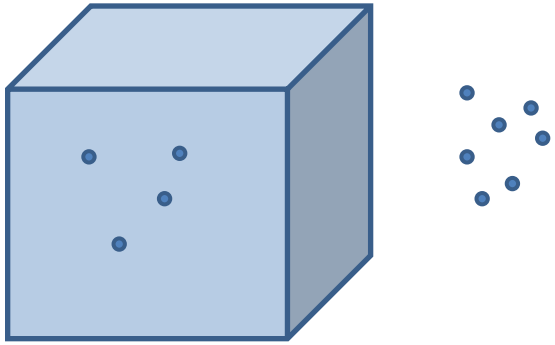
大于固相Si中的溶解度

分凝系数***k Segregation coefficient***

,segri'geiʃən

固液界面上，
固体侧杂质浓度
液体侧杂质浓度

Any idea?

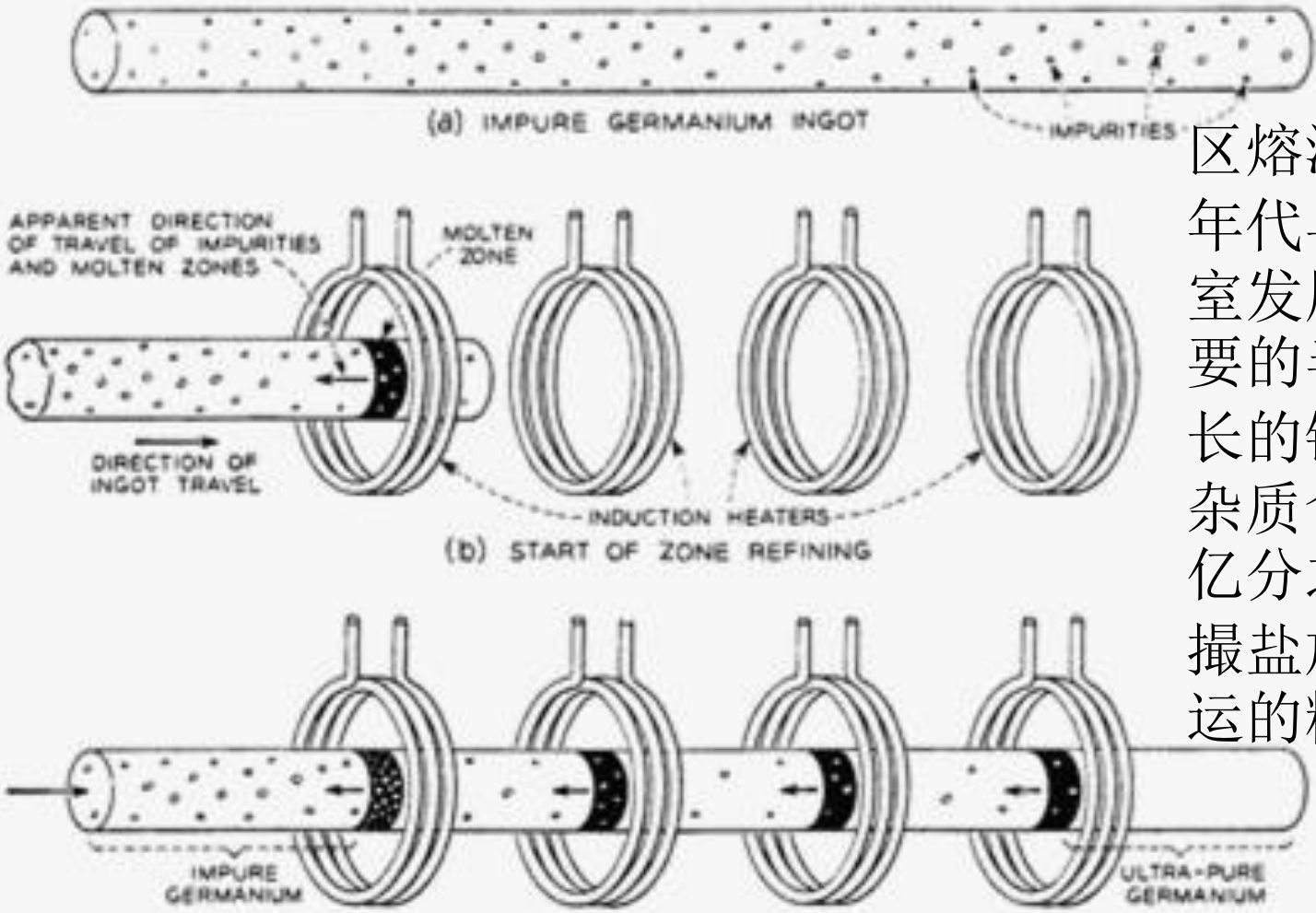


直拉法的一个缺点：

坩埚中的氧进入晶体。对于有些器件，高水平的氧是不能接受的。

悬浮区熔法是一种无坩埚的晶体生长方法，多晶与单晶均由夹具夹着，由高频加热器产生一悬浮的溶区，多晶硅连续通过熔区熔融，在熔区与单晶接触的界面处生长单晶。熔区的存在是由于融体表面张力的缘故，悬浮区熔法没有坩埚的污染，因此能生长出无氧的，纯度更高的单晶硅棒。

区熔法的历史（高纯Ge的精练）



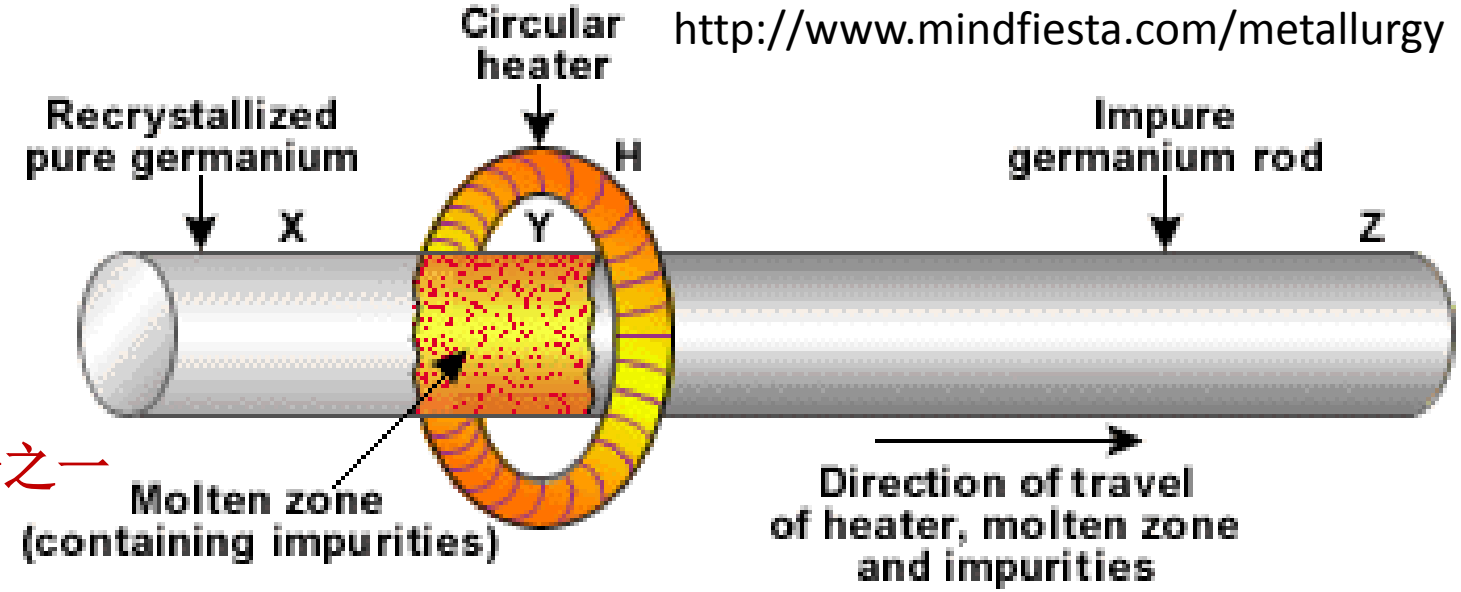
区熔法是十九世纪50年代早期，贝尔实验室发展的一个至关重要的半导体技术,其生长的锗、硅晶体中，杂质含量可低至一百亿分之一----相当于一撮盐放在三个汽车货运的糖中。

什么道理？

锗在**石英管**中，电加热线圈,反复的从一端到另一端。融化部分锗,使他们重新结晶。

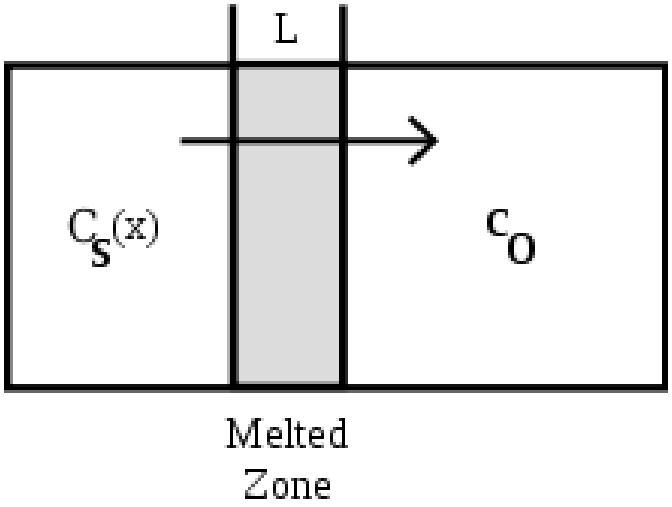
区熔法的历史（高纯Ge的精练）

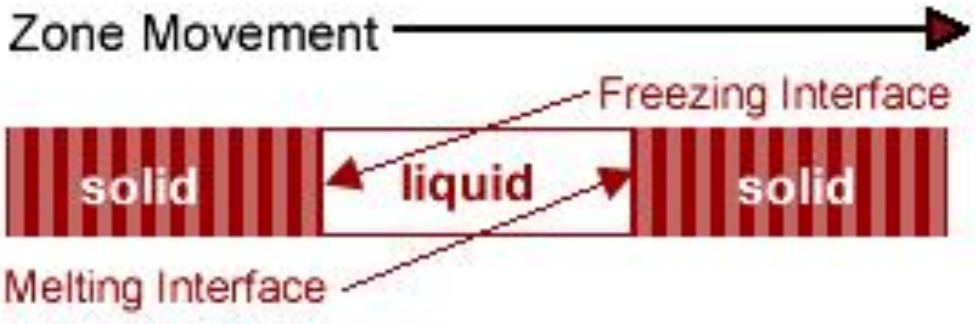
http://www.mindfiesta.com/metallurgy



Zone refining of germanium metal.

反复几次
杂质低至一百亿分之一





http://www.designscientific.com/minizone/theory/index.html

Liquid moves from left to right during melting in the float-zone crystal growth process

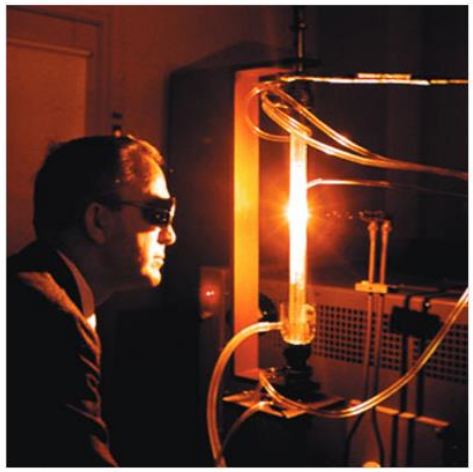
释义右下角图

区熔法的历史

贝尔实验室的一个小型区熔法实验

Zone refining

one part per billion



这项技术对于硅不适用,因为较高的温度下，与附近其他材料（石英管）反应。

该技术是否适用于Si的提纯？

William Pfann and Jack Scaff

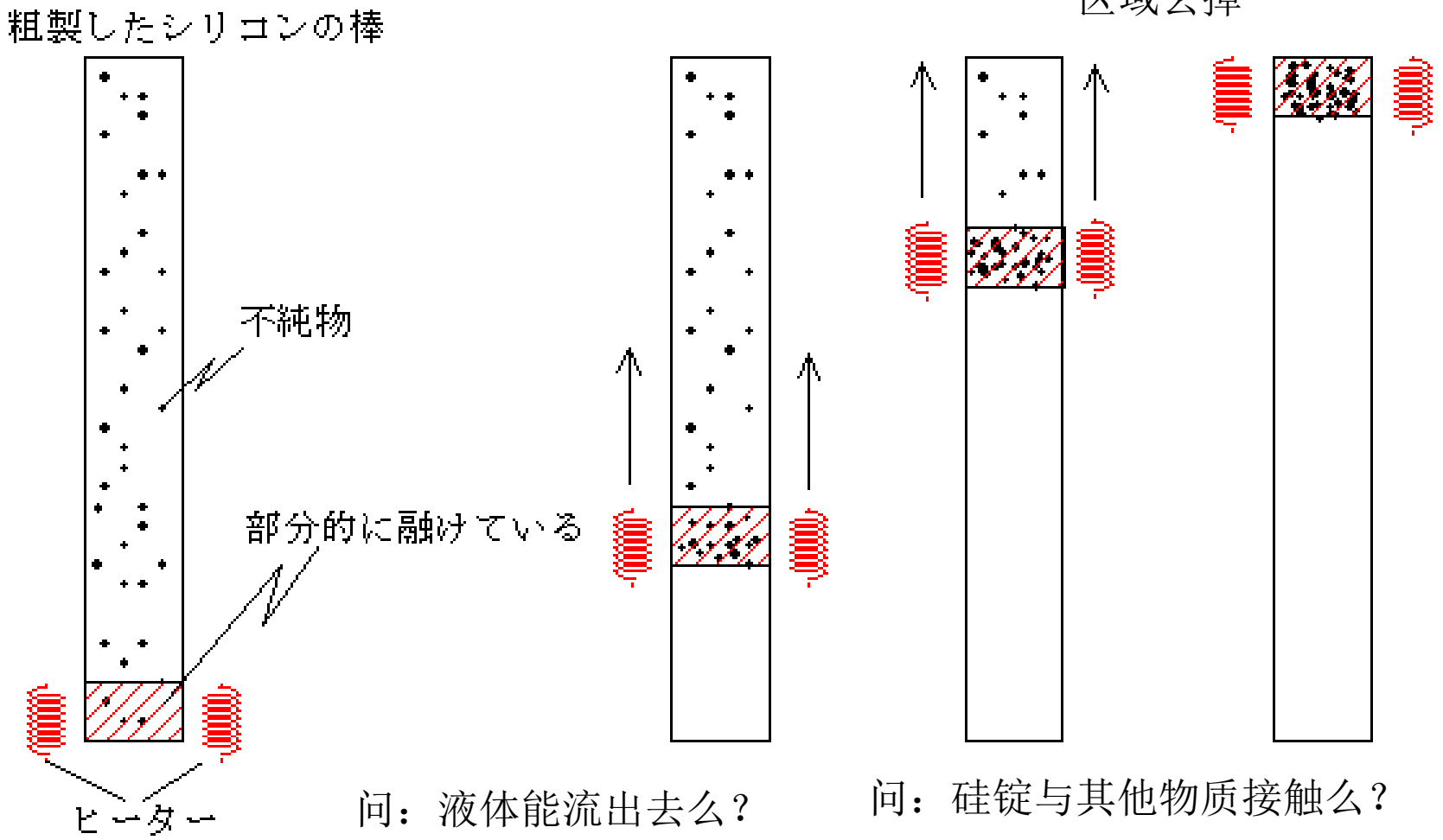
早期区熔法的设备_容器

Henry Theurer developed a variation on this technique called float-zone refining in which a rod of silicon clamped夹 at both ends passes vertically through a heating coil线圈.

硅棒竖直放置，两端夹住，加热线圈上下移动，如左图

高纯硅ultra high purity Si的制备

最后需要将顶部的大浓度杂质区域去掉



The small molten segment remains fixed in place between the solid portions of the rod due to surface tension表面张力.

因为熔融液体两端是固体，存在表面张力，所以液体不溢出。

http://www.s-yamaga.jp/nanimono/chikyu/kobutsu-03.htm

问题

提拉法制备单晶，坩埚中加入掺杂剂硼

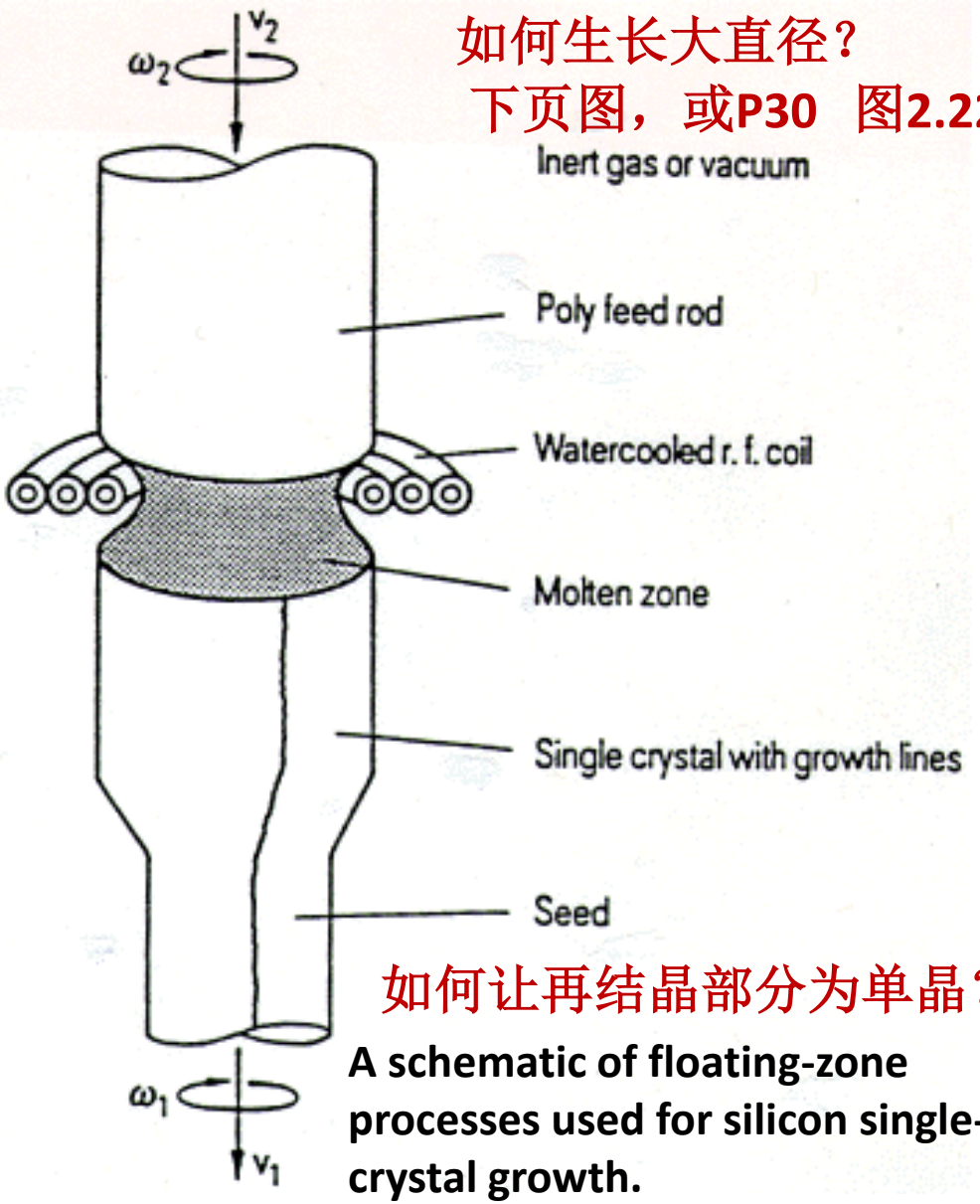
1. 将制备的单晶底部去掉，然后打碎，置于坩埚中
2. 再次进行提拉，得到单晶。再次，将单晶底部去掉，打碎，置于坩埚中
3. 再次进行提拉，得到单晶。如此反复多次。
4. 最终得到的单晶的B浓度有何变化?

高纯硅ultra high purity Si的制备

http://en.wikipedia.org/wiki/Zone_melting

如何生长大直径？

下页图，或P30 图2.22



如何让再结晶部分为单晶？

A schematic of floating-zone processes used for silicon single-crystal growth.

http://www.tms.org/pubs/journals/JOM/9802/Li/Li-9802.html

Silicon crystal in the beginning of the growth process

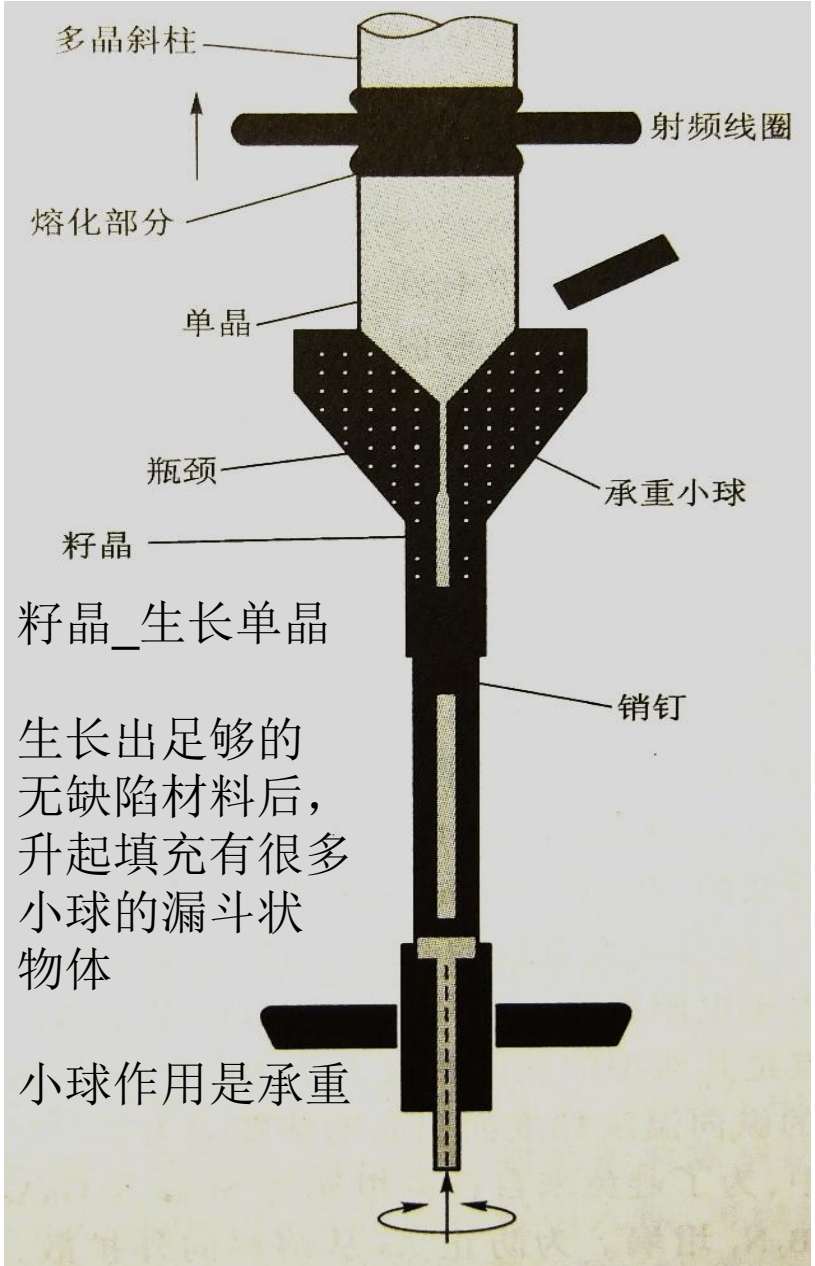
区熔法生长单晶硅

P30 图2.22

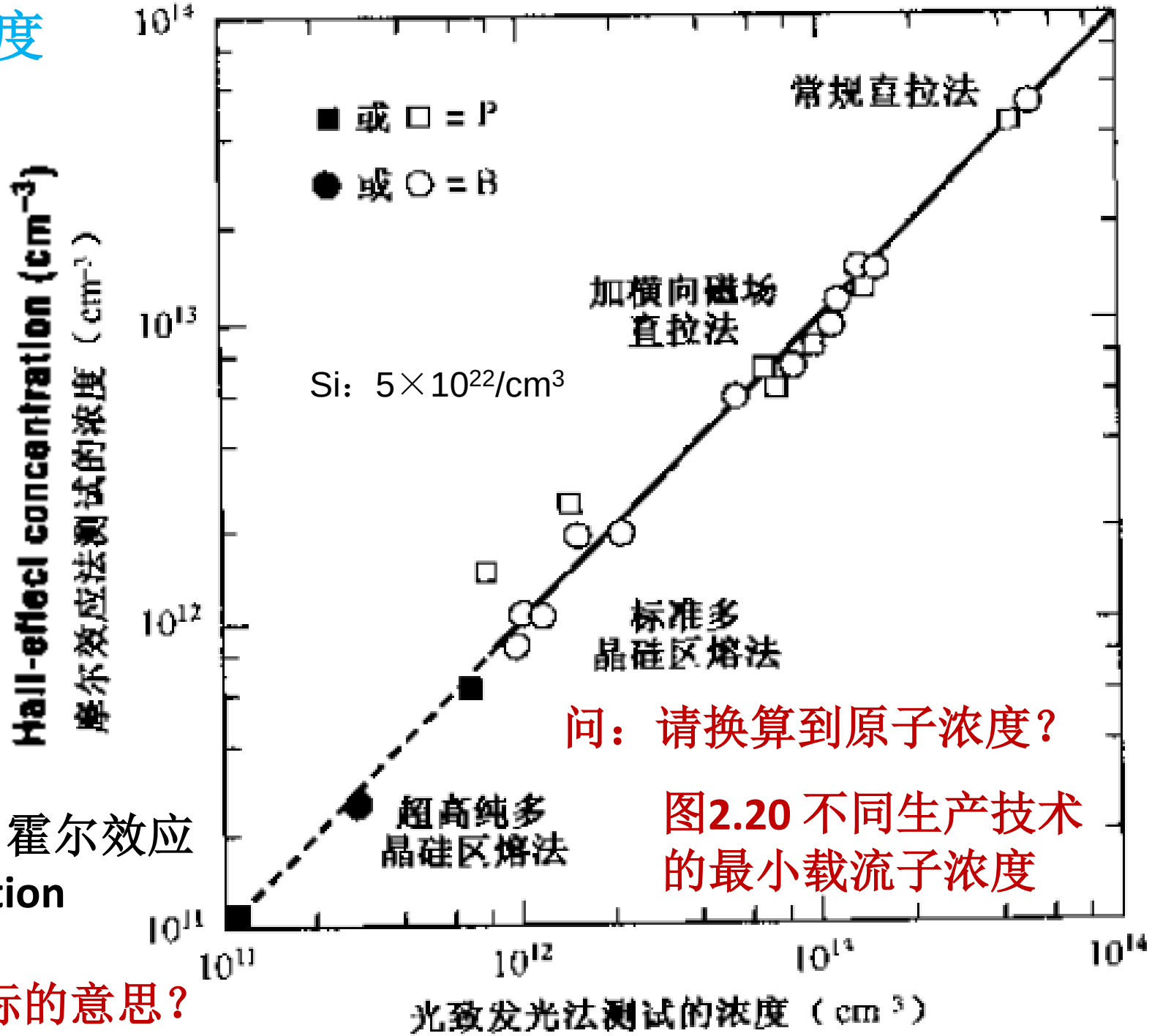
把掺杂好的多晶硅棒铸在模型里，用射频线圈加热籽晶与硅棒的接触区域，硅棒轴向移动实现晶体生长

特点

- 20世纪50年代发展起来
- 很难引入浓度均匀的掺杂
- 硅片直径较小
- 纯度高，含氧量低



区熔法纯度



问：请换算到原子浓度？

图2.20 不同生产技术的最小载流子浓度

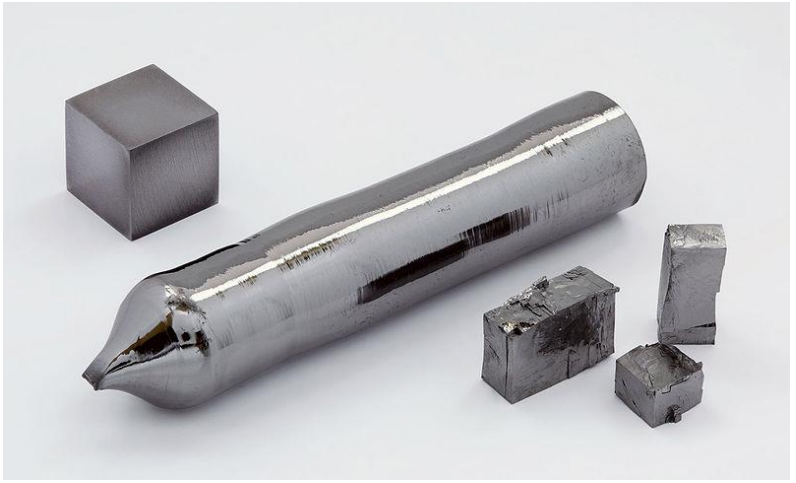
Hall-Effect 霍尔效应 concentration

问：纵坐标的意思？

区熔法应用于其他材料的提纯？

A high-purity (99.999% = 5N)tantalum single crystal, made by the floating zone process (cylindrical object in the center) 图说明

区熔法可用于其他物质的提纯如 钽 Ta

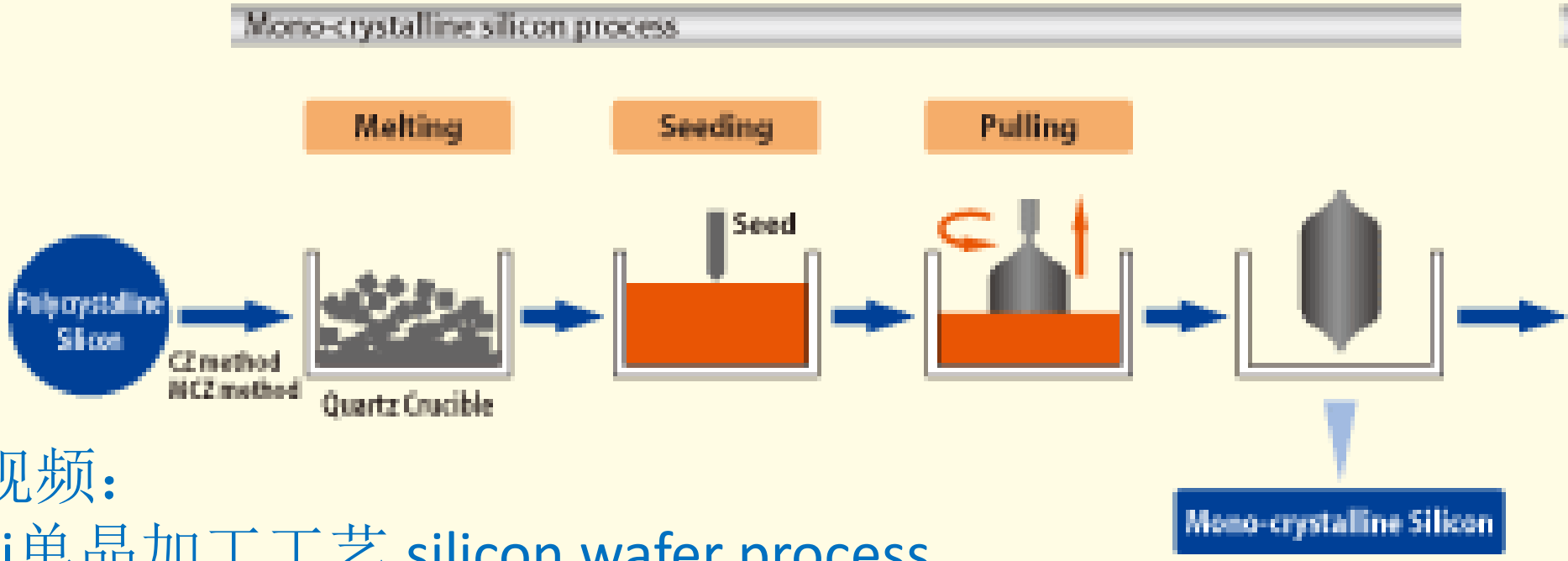


it can be extended to virtually几乎 any solute-solvent /‘sɔlju:t/’sɔlvənt/ 溶质_溶剂system having an appreciable concentration difference between solid and liquid phases at equilibrium. 应用极为广泛

http://en.wikipedia.org/wiki/Zone_melting

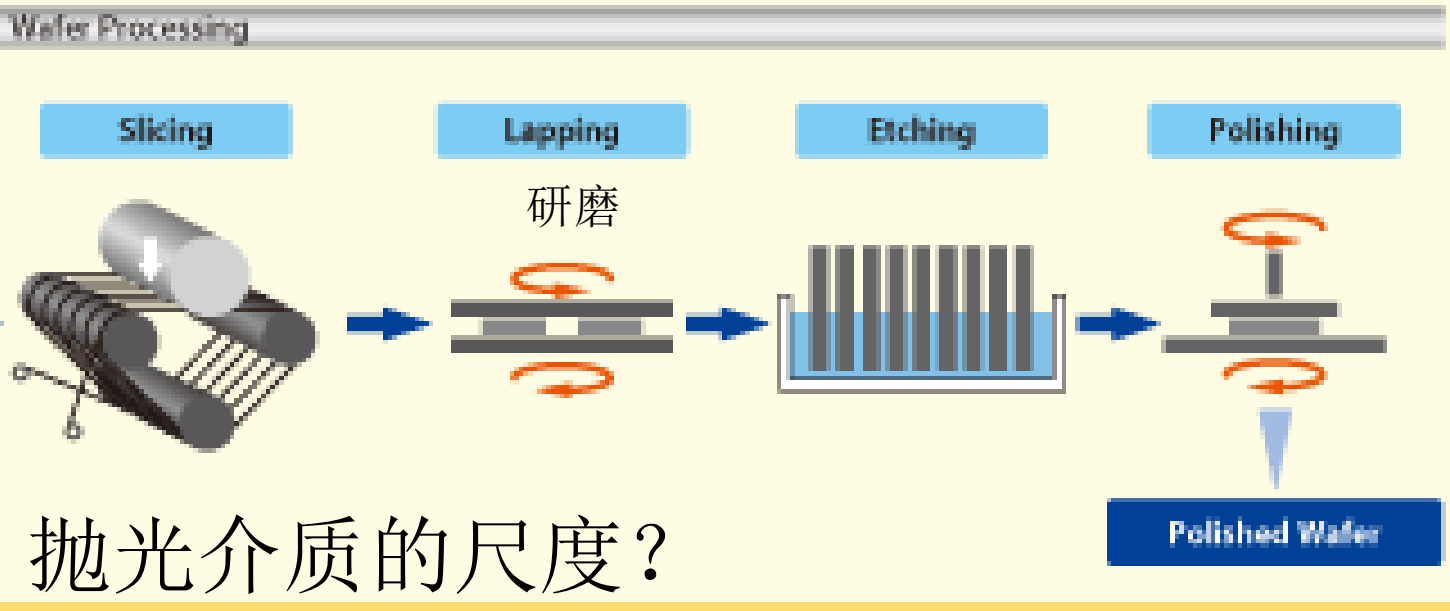
第三节　晶圆制作和重要参数

1. 晶圆制作工艺
2. 晶圆尺寸
3. 晶圆重要参数



视频：

Si单晶加工工艺 silicon wafer process



抛光介质的尺度？

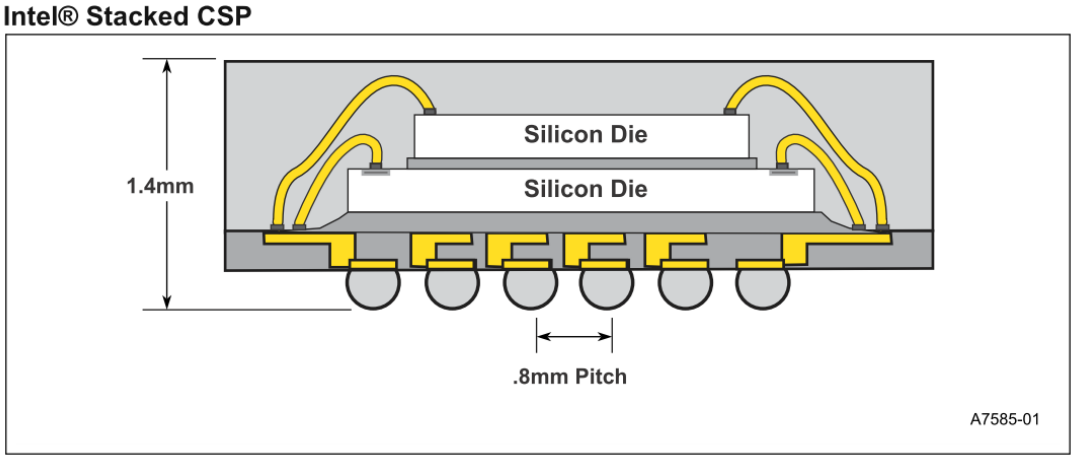
晶圆制作全过程

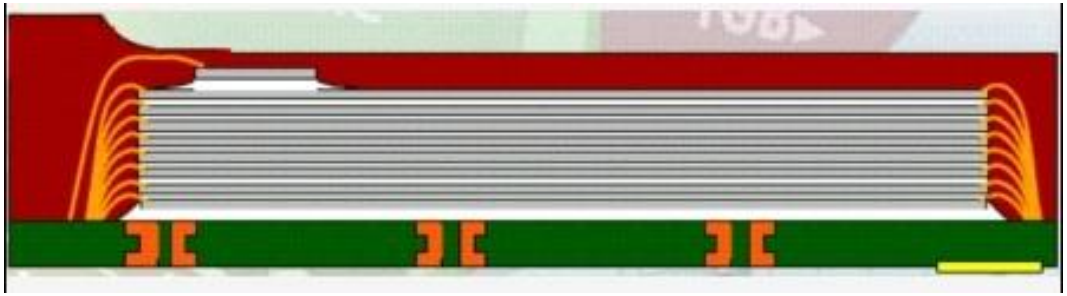
For Stacking Dies, the final chip thickness is reduced to 30 µm and below. In production, however, these thicknesses cannot be achieved by grinding, especially since stress relief in high volume production becomes an important issue at 50 µm and below. For this application PVA TePla offers the advanced technology of wafer thinning by smooth remote plasma etching.

Reduced to 30 µm

http://www.pvateplaamerica.com/semi_wafer_thinning.php#

硅片为什么越来越薄？





KINGMAX 8G闪存芯片结构示意图，九层堆叠结构

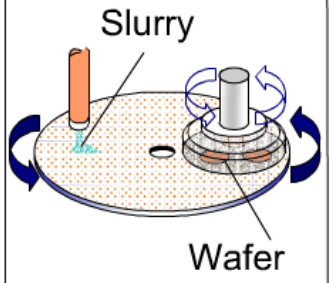
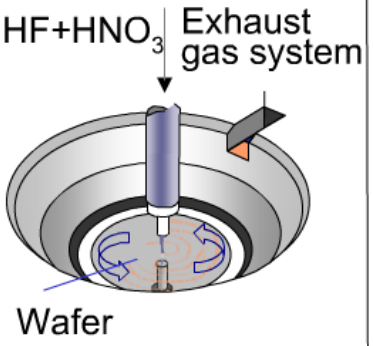
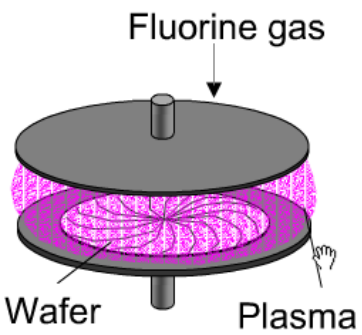
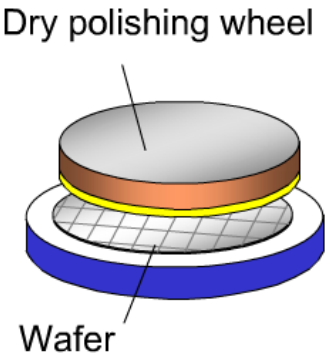
9层堆叠技术实际上是用8层晶圆加上1层控制器实现的

硅片剪薄技术

There are four primary methods for wafer thinning:

1. mechanical grinding,
2. chemical mechanical polishing (CMP),
3. wet etching
4. atmospheric downstream plasma (ADP)
5. dry chemical etching (DCE).

http://electroiq.com/blog/2003/03/wafer-thinning-techniques-for-ultra-thin-wafers/

Process	CMP (Chemical Mechanical polishing)	Wet Etching	Dry Etching (Plasma)	Dry Polishing
				
Reacting Substance	Slurry	$HF+HNO_3$	Fluorine gas	Oxidized metal abrasive
Processing rate	1 μm/min	> 10 μm/min	2 μm/min	1 μm/min
Productivity	Good	Excellent	Good	Good
Die strength	Good	Good	Good	Good
Environmental condition	Slurry management required	Generates NOx	SF6	Excellent
*Running cost	Acceptable	Acceptable	Acceptable	Excellent

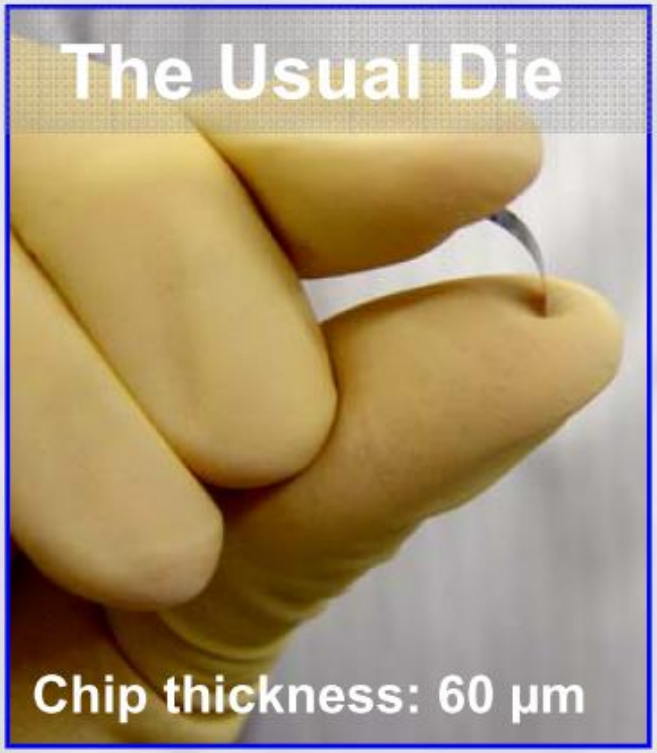
(*Including waste fluid and exhaust gas treatment)

Ultra Thin Wafers and Chips

Advanced Concepts in Remote Cold Dry Etching

Main Applications

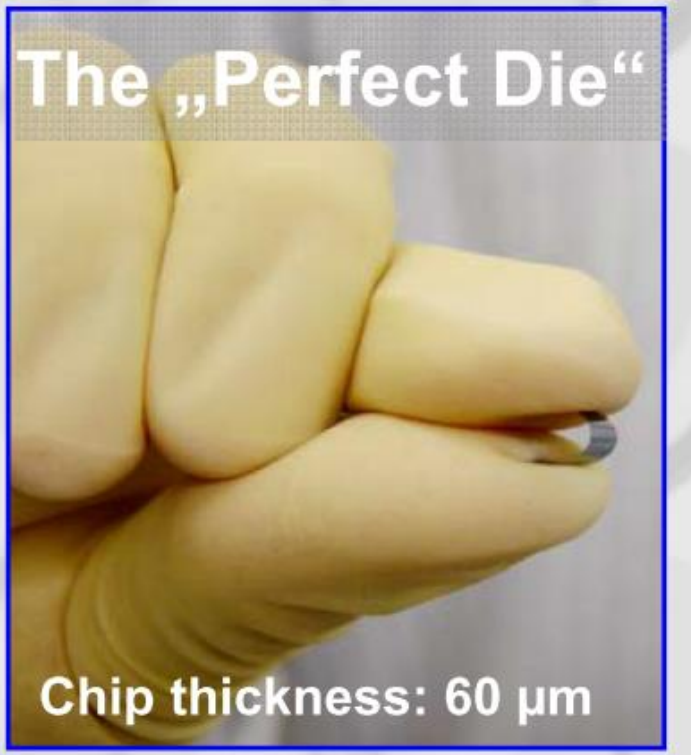
- Wafer Level Stress Relief
- Chip Level Stress Relief (CSH)
- Post Polish Treatment / Pre-Backmetal
- Wafer Thinning
- Surface Passivation
- Surface Cleaning



Chip with backside stress relief only

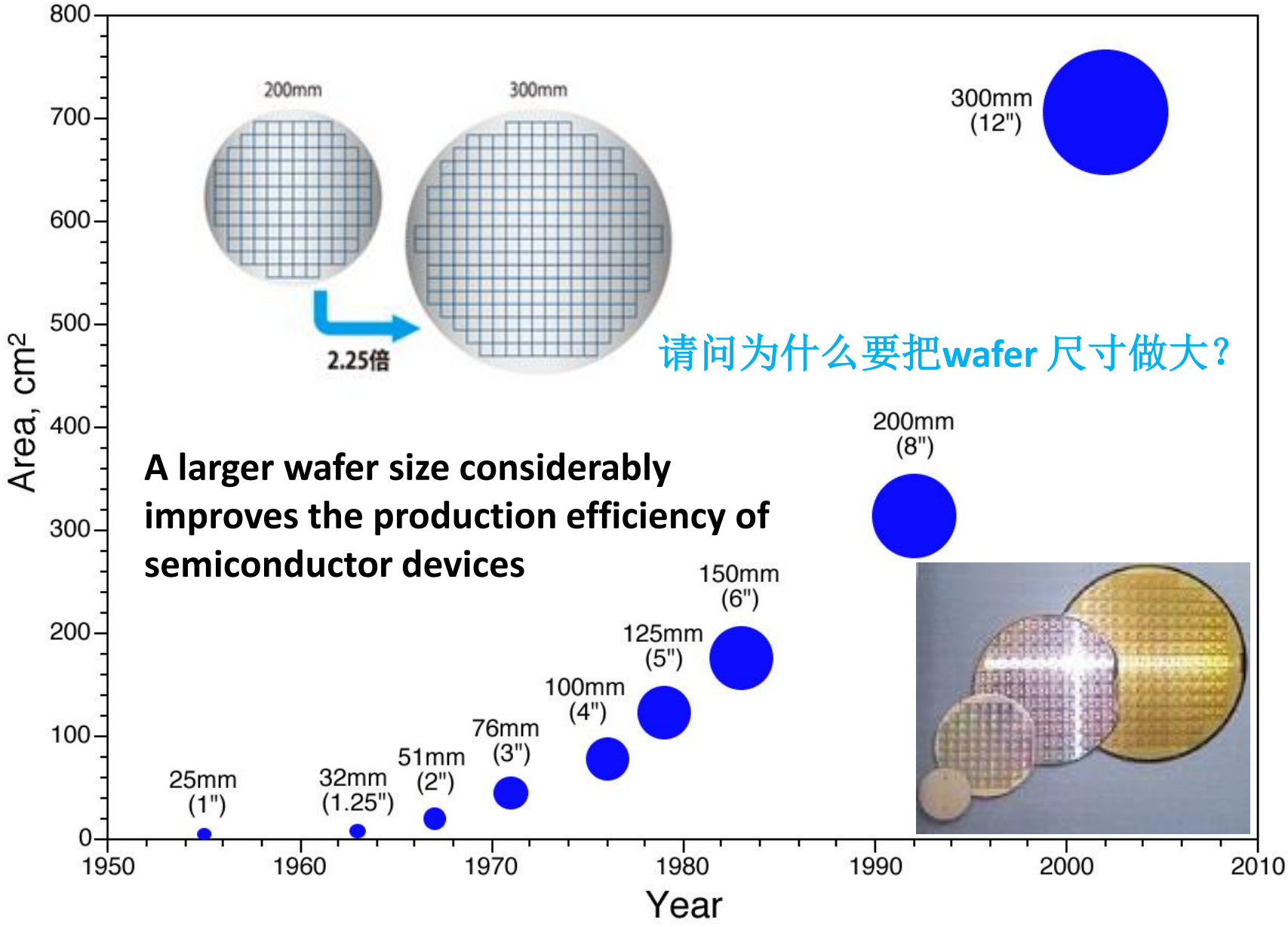
应力释放

视频
超薄硅片
等离子处理



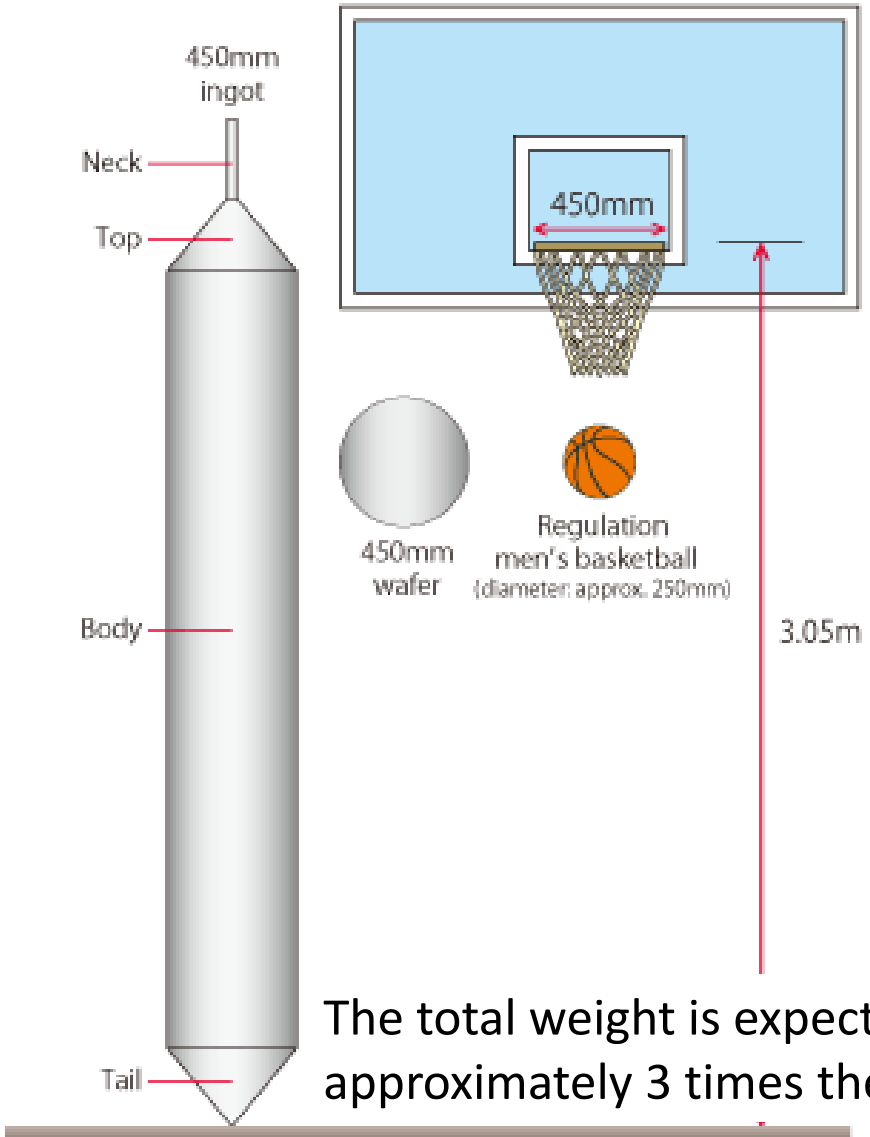
Chip with backside stress relief and with CSH

The history of wafer size



The history of wafer size

晶锭(boule bu:l)



Interestingly, it is estimated that a 450mm silicon ingot would be roughly the same diameter and height as a basketball hoop.

Wafer transition from 50mm to 300mm to 450mm

1. 为什么要存在颈部？
   控制缺陷P23
2. 颈部的存在有弊端么？
3. 晶锭颈部能承受得了这么大的压力么？

The total weight is expected to be somewhere in the region of one ton, approximately 3 times the weight of a 300mm crystal.

http://www.semi.org/en/node/47621

vw.sumcosi.com/english/products/next_generation/large_diameter.html

晶圆片规格　　会有哪些specification 规格要求？

.3 Typical specification for 2-in. GaAs wafers　　纵向梯度冷凝法

		LEC	Vertical Gradient Freeze
Resistivity (Ω-cm)	电阻率	$>2\times10^7$	$>10^7$
Mobility (cm^2-V/s)	迁移率	>4000	>5000
Carrier concentration (cm^{-3})	载流子浓度	$<10^8$	—
Etch pit density (cm^{-2})	腐蚀坑密度	$\times10^4$(typical)	$<10^3$
Flatness (μm)	平整度	<4	<5
Thickness (μm)		450	500
Cost ($/$cm^2$)		10	15

Typical specification for state of the art silicon wafer

Cleanliness (particle/cm^2)	清洁度	<0.03
Oxygen concentration (cm^{-3})	氧浓度	Specified +−3%
Carbon concentration (cm^{-3})	碳浓度	$<1.5\times10^{17}$
Metal contaminants bulk (ppb)	金属污染（体积）	<0.001
Grown in dislocation (cm^{-2})	原生位错	<0.1
Oxidation induced stacking faults (cm^{-1})	氧诱生堆垛层错	<3
Diameter (mm)		≥150
Thickness (μm)		625 or 675
Bow (μm)	翘曲	10
Global flatness (μm)	总平整度	3
Cost ($/$cm^2$)		0.2

晶圆片规格_原图解释

Polished & Epitaxial Wafers for IC Applications

Crystal / Bulk				300mm
Growth Technique *)	生长技术			CZ
Orientation	取向			1-0-0
Orientation Tolerance	取向公差		degree	± 0.2
Off Orientation	偏转角		degree	0
Dopant	掺杂剂			Boron / Phosphorus
Resistivity Target Range	电阻率	pol prime - Boron	Ohmcm	0.5 - 50
		pol prime - Phosphorous	Ohmcm	1.0 - 50
		epi substrate - Boron	Ohmcm	0.006 - 50
Radial Resistivity Variation	径向	Boron typical 1-0-0 / 1-1-1	%	< 10
		Phosph. typical 1-0-0 / 1-1-1	%	< 15
Oxygen Target Range ± Tol.		pol prime - Boron 1-0-0		4.8 - 7.8 x 10^{17} ± 0.5
		1-1-1	at cm^{-3}	NA
		pol prime - Phosph. 1-0-0	ASTM F121-83	4.8 - 7.8 x 10^{17} ± 0.5
		1-1-1		NA
Radial Oxygen Variation		typical	%	< 10
Bulk Metal Concentration		Fe	at cm^{-3}	≤ 5.0 x 10^{10}
Bulk Carbon Concentration		measured on wafer	at cm^{-3}	≤ 2.0 x 10^{16}

径向氧气变化
金属体积浓度
碳体积浓度

Pol→polished 抛光
Epi→epitaxial 外延

径向电阻变化的原因？

晶圆片规格_原图解释

Polished Wafers / Substrates			300mm		
Surface Metals 表面金属	Cu / Cr / Fe / Ni	at cm^{-2}	≤ 1.0×10^{10}		
	Al / Zn / K / Na / Ca	at cm^{-2}	≤ 5.0×10^{10}		
LLSs (Frontside) *)	size	µm	> 0.2	> 0.16	> 0.12
	pol prime	# per wafer	< 30	< 40-300	< 200-10^3
	UltraFlat (150 mm)	# per wafer	NA	NA	NA
	monitor	# per wafer	< 30	< 60	< 100
Diameter Tolerance 直径公差		mm	± 0.2		
Warp 翘曲	polished - without layer	µm	< 50		
Wafer / Substrate Thickness	Standards	µm	775		
Thickness Tolerance		µm	± 25		
GBIR = TTV (Std | *UltraFlat*) *)	总平整度	µm	< 4		
GFLR = TIR (Std | *UltraFlat*) *)		µm	NA		
Local Flatness *) (Std | *UltraFlat*)	SFQR / STIRmax, s.b.f.	µm 局部平坦度	< 0.25		
	SFQD / SFPD, s.b.f.	µm	< 0.18		
	SBIR / STIRmax, b.r.	µm	NA		
Standard Site Size	标准网格尺寸	mm^2	25 x 25		

总结

GG 综述用 Silicon Crystal Structure and Growth _英文

注

文中未注明出处的图片多来源于网络。

本资料仅作教学之用。

转载请注明，哈尔滨工业大学（威海）王华涛